

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-67898

(P2001-67898A)

(43)公開日 平成13年3月16日(2001.3.16)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード(参考)
G 1 1 C 29/00	6 7 1	G 1 1 C 29/00	6 7 1 F 5 B 0 2 4
			6 7 1 P 5 L 1 0 6
11/401		11/34	3 7 1 A

審査請求 未請求 請求項の数15 O L (全 28 頁)

(21)出願番号 特願平11-243211

(22)出願日 平成11年8月30日(1999.8.30)

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 古谷 清広

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(72)発明者 朝倉 幹雄

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(74)代理人 100064746

弁理士 深見 久郎 (外3名)

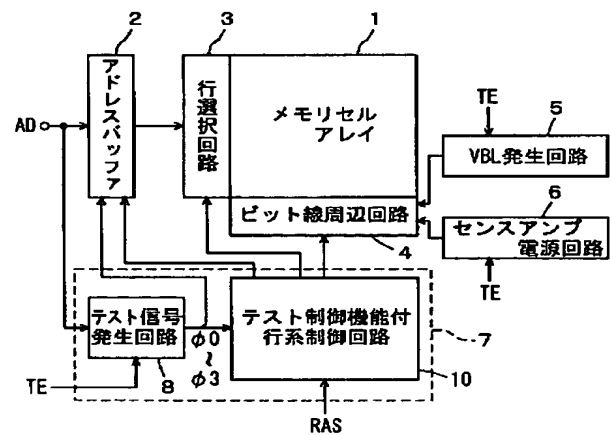
最終頁に続く

(54)【発明の名称】 半導体記憶装置

(57)【要約】

【課題】 少ない制御信号数でメモリセルキャパシタ間およびワード線間の電圧ストレスを加速する。

【解決手段】 テストモード動作時アドレス端子を介して与えられる少数の信号から内部テスト制御信号をテスト信号発生回路(8)により生成する。このテスト制御信号に従ってアドレスバッファ(2)からの内部ロウアドレス信号ビットの値を設定し、かつテスト制御信号に従ってテスト制御機能付行系制御回路(10)が行選択回路(3)およびビット線周辺回路(4)の動作を制御する。複数のワード線を同時に選択状態へ駆動し、少数の制御信号に従って加速試験を短時間で実行する。



1

## 【特許請求の範囲】

【請求項 1】 行列状に配列される複数のメモリセル、各前記行に対応して配置され、各々に対応の行のメモリセルが接続する複数のワード線、

各前記列に対応して配置され、各々に対応の列のメモリセルが接続する複数のビット線対、

各前記列に対応して配置され、活性化時対応の列上のメモリセルのデータの検知および増幅を行なう複数のセンスアンプ回路、

各前記列に対応して配置されかつ基準電圧伝達線に結合され、活性化時前記基準電圧伝達線上の電圧を対応の列のビット線対へ伝達するための複数のビット線プリチャージ回路、および第 1 のテストモード動作時、各前記ビット線プリチャージ回路を活性化しかつ前記複数のワード線の第 1 の所定数のワード線を同時に選択状態へ駆動し、かつ第 2 のテストモード動作時、前記複数のビット線プリチャージ回路を非活性化しかつ前記複数のワード線の第 2 の所定数のワード線を同時に選択状態へ駆動しかつさらに前記複数のセンスアンプ回路を活性化するためのテスト制御回路を備える、半導体記憶装置。

【請求項 2】 各前記ビット線対は、通常アクセスモード時に相補なデータ信号を伝達する第 1 および第 2 のビット線を含み、

各前記列のメモリセルの各々は対応のビット線対の前記第 1 および第 2 のビット線の一方に接続され、

前記複数のワード線は、前記第 1 のビット線に接続するメモリセルが接続する第 1 のワード線と、前記第 2 のビット線に接続するメモリセルが接続する第 2 のワード線とを含み、

前記テスト制御回路は、前記第 1 のテストモード動作時、第 1 のテスト指示信号の活性化時に前記第 1 のワード線を選択状態へ駆動するための手段を含む、請求項 1 記載の半導体記憶装置。

【請求項 3】 前記テスト制御回路は、前記第 1 のテスト指示信号の活性化時、前記基準電圧伝達線の電圧を第 1 の論理レベルの電圧に設定するための手段をさらに備える、請求項 2 記載の半導体記憶装置。

【請求項 4】 前記テスト制御回路は、さらに、前記第 1 のテストモード動作時、第 2 のテスト指示信号の活性化にตอบสนองして前記複数のワード線を同時に選択し、かつ前記基準電圧伝達線の電圧を第 2 の論理レベルの電圧に設定するための手段を備え、前記第 2 のテスト指示信号は、前記第 1 のテスト指示信号よりも先に活性化される、請求項 3 記載の半導体記憶装置。

【請求項 5】 前記第 2 の所定数のワード線は、前記複数のワード線すべてを備える、請求項 1 記載の半導体記憶装置。

【請求項 6】 前記第 2 の所定数のワード線は物理的に 1 本置きに配置されるワード線を含む、請求項 1 記載の半導体記憶装置。

2

【請求項 7】 各々が、行列状に配列される複数のメモリセルと、各行に対応して配置され、各々に対応の行のメモリセルが接続する複数のワード線と、各前記列に対応して配置され、各々に対応の列のメモリセルが接続する複数のビット線対とを含む複数のメモリブロック、前記複数のメモリブロックに対応して列方向に隣接するメモリブロックにより共有されるように配置され、かつ各々が対応のメモリブロックの各前記列に対応して配置され、活性化時、対応の列のメモリセルのデータの検知および増幅を行なう複数のセンスアンプ回路を含む複数のセンスアンプ群、

各前記センスアンプ群と対応のメモリブロックとの間に配置され、各々が、活性化時対応のセンスアンプ群と対応のメモリブロックとを分離するための複数のビット線分離回路、

各前記メモリブロックの列に対応して、前記列方向に隣接するメモリブロックに共有されるように配置され、各々が、活性化時対応のメモリブロックの列に基準電圧を伝達するための複数のビット線プリチャージ回路を含む複数のビット線プリチャージ回路群、および第 1 のテストモード動作時、各前記ビット線プリチャージ回路を活性化しかつ前記複数のビット線分離回路を非活性化し、かつ前記複数のメモリブロックにおいて複数のワード線のうち第 1 の所定数のワード線を同時に選択状態へ駆動し、かつ第 2 のテストモード動作時、前記複数のビット線プリチャージ回路を非活性化しかつ前記複数のビット線分離回路を非活性化し、かつ前記複数のメモリブロックにおいて複数のワード線の第 2 の所定数のワード線を同時に選択状態へ駆動しかつ前記複数のセンスアンプ回路群を活性化するためのテスト制御回路を備える、半導体記憶装置。

【請求項 8】 各前記ビット線対は、通常アクセスモード時に相補なデータ信号を伝達する第 1 および第 2 のビット線を含み、前記複数のメモリブロック各々において各列のメモリセルの各々は、前記第 1 および第 2 のビット線の一方に接続され、

前記複数のワード線は前記第 1 のビット線に接続するメモリセルが接続する第 1 のワード線と、前記第 2 のビット線に接続するメモリセルが接続する第 2 のワード線とを含み、

前記テスト制御回路は、前記第 1 のテストモード動作時第 1 のテスト指示信号の活性化にตอบสนองして前記複数のメモリブロックにおいて前記第 1 のワード線を選択状態へ駆動するための手段を含む、請求項 7 記載の半導体記憶装置。

【請求項 9】 前記テスト制御回路は、前記第 1 のテスト指示信号の活性化時、前記基準電圧伝達線の電圧を第 1 の論理レベルの電圧に設定するための手段をさらに備える、請求項 8 記載の半導体記憶装置。

【請求項 10】 前記テスト制御回路はさらに、前記第

50

## 3

1のテストモード動作時、第2のテスト指示信号の活性化にตอบสนองして前記複数のメモリブロックにおいて前記複数のワード線を同時に選択しかつ前記基準電圧線の電圧を第2の論理レベルの電圧に設定するための手段を備え、前記第2のテスト指示信号は前記第1のテスト指示信号よりも先に活性化される、請求項9記載の半導体記憶装置。

【請求項11】 前記第2の所定数のワード線は、各前記メモリブロックに含まれる複数のワード線すべてである、請求項7記載の半導体記憶装置。

【請求項12】 前記第2の所定数のワード線は、各前記メモリブロックにおいて物理的に1本置きに配置されるワード線を含む、請求項7記載の半導体記憶装置。

【請求項13】 前記テスト制御回路は、外部からの複数の制御信号に従って活性化タイミングが決定される複数の内部動作制御信号を発生する手段を含み、前記複数の内部動作制御信号に従って前記ビット線プリチャージ回路、前記センスアンプ回路およびワード線が駆動される、請求項1または7記載の半導体記憶装置。

【請求項14】 前記テスト制御回路は、前記外部からの複数の制御信号に従ってワード線を特定する内部アドレス信号を生成する手段をさらに含む、請求項13記載の半導体記憶装置。

【請求項15】 前記テスト制御回路は、前記第2のテストモード動作時、外部からの制御信号に従って前記複数のメモリブロックを同時に選択状態とするための手段をさらに含む、請求項7記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は半導体記憶装置に関し、特に、ダイナミック型半導体記憶装置におけるメモリセル間に電圧ストレスを印加するための構成に関する。より具体的には、この発明は、少ない信号数で隣接メモリセルキャパシタ間に電圧ストレスを印加するための構成に関する。

【0002】

【従来の技術】製造されたデバイスから寿命の短いデバイスを除去して出荷するために、バーンイン試験と呼ばれる加速試験が行なわれる。この加速試験においては、実際の使用条件よりも厳しい条件下で製造後のデバイスを一定期間動作させ、寿命の短いデバイスを破壊する。すなわち、この加速試験により、通常不良検出テストで検出されなかった潜在的な欠陥をストレス加速により顕在化させる。

【0003】ダイナミック型半導体記憶装置（以下、DRAMと称す）の場合、デバイス上の素子のうち大部分を占めるメモリセルのバーンイン試験が最も重要である。しかしながら、DRAMの大記憶容量化に伴って、DRAMの1回の通常動作サイクルでは、全メモリセルのうちごく一部分しか動作しない。1本のワード線に接

## 4

続されるメモリセルの数が限られており、また1回の通常動作で選択されるワード線の数、リフレッシュサイクルにより決定される。たとえば、256M DRAMは、8Kリフレッシュサイクルを有しており、1回の通常動作サイクルでは、全メモリセルのうち1/8192（8K）のメモリセルだけが選択される。したがって、すべてのメモリセルに対しバーンイン試験を行なうためには、8K回メモリセル行を選択する必要がある、バーンイン試験に要する時間が長くなるという問題があった。

【0004】このバーンイン試験に要する時間を短縮するために、加速試験モード時、通常動作時よりも多くのワード線を同時に選択して、より多くのメモリセルを選択する構成がたとえば1996シンポジウム・オン・VLSIサーキット・ダイジェスト・オブ・テクニカル・ペーパーズの194頁から195頁に記載されている。

【0005】図25は、上述の文献に示されるワード線駆動制御部の構成を概略的に示す図である。図25において、ワード線駆動制御部は、テストモードロウデコーダラッチ指示信号TM-RDLTCとロウアドレス信号RowAddrを受けるブロックデコード500と、ブロックデコード500の出力信号のHレベルを昇圧してブロック選択信号BLKSELを生成するレベルシフタ501と、テストモードワード線ラッチ指示信号TMWL LTCとテストモードワード線リセット指示信号TMWL RSTと内部ロウアドレスストローブ信号RASとを受けるワード線（WL）リセット回路502と、ワード線活性化指示信号WLonとプリデコード信号X12とWLリセット回路502からのワード線非活性化指示信号WLOFFとを受けて、ワード線活性化タイミング信号およびワード線リセットタイミング信号を生成するレベルシフタ503と、レベルシフタ503からのタイミング信号をバッファ処理してワード線ドライブ信号WLDVを生成するバッファ回路504と、レベルシフタ503からのタイミング信号とバッファ回路504からのワード線ドライブ信号WLDVとを受けてワード線リセット信号WL RSTを生成するNOR回路505とを含む。

【0006】ブロックデコード500は、テストモードロウデコーダラッチ指示信号TMRDLTCが活性状態となると、ロウアドレス信号RowAddrの状態にかかわらずリセットされずセット状態を維持し、ブロック選択信号BLKSELをHレベルに固定する（メモリブロックが選択されたとき）。

【0007】WLリセット回路502は、通常動作モード時においては、内部ロウアドレスストローブ信号RASに従ってワード線リセットタイミング信号WLOFFを活性状態へ駆動する。テストモード時には、テストモードワード線ラッチ指示信号TM-WL LTCが活性状態の間、ワード線リセットタイミング信号WLOFFを

## 5

非活性状態に維持し、テストモードワード線リセット指示信号TM-WLRSTが与えられると、ワード線リセットタイミング信号WLOFFを活性状態へ駆動する。

【0008】レベルシフト503は、ワード線活性化タイミング信号WLOFFとプリデコード信号X12を受け、このプリデコード信号X12が活性状態にあるとき、ワード線活性化タイミング信号WLOFFに従って活性状態のワード線駆動タイミング信号を生成する。レベルシフト503は、ワード線リセットタイミング信号WLOFFが活性化されるまで、この状態を維持する。

【0009】NOR回路505は、ワード線ドライブ信号WLDVが非活性状態となり、かつレベルシフト503の出力信号がHレベルとなり、ワード線リセット信号WLRSTをHレベルの活性状態へ駆動する。ワード線ドライブ信号WLDVがHレベルの活性状態の間、このNOR回路505は、ワード線リセット信号WLRSTをLレベルの非活性状態に維持する。

【0010】ワード線駆動制御部は、さらに、ワード線WL<sub>i</sub>+1に対応して設けられ、レベルシフト501からのブロック選択信号BLKSELの活性化にตอบสนองして活性化され、プリデコード信号XA<sub>ij</sub>およびXA<sub>kl</sub>をデコードするデコード回路506aと、デコード回路506aの出力信号を反転しかつラッチするラッチ回路507aと、ラッチ回路507aの出力信号がLレベルの活性状態のとき、ワード線ドライブ信号WLDVを対応のワード線WL<sub>i</sub>+1に伝達するワード線ドライブ回路508aと、ワード線リセット信号WLRSTの活性化にตอบสนองしてワード線WL<sub>i</sub>+1を接地電圧レベルにリセットするリセット用トランジスタ509aを含む。

【0011】ワード線WL<sub>i</sub>に対しても同様、ブロック選択信号BLKSELの活性化にตอบสนองして活性化されプリデコード信号XA<sub>ij</sub>およびXA<sub>kl</sub>をデコードするデコード回路506bと、デコード回路506bの出力信号を反転しかつラッチするラッチ回路507bと、ラッチ回路507bの出力信号がLレベルの活性状態のとき、ワード線ドライブ信号WLDVを対応のワード線WL<sub>i</sub>に伝達するワード線ドライブ回路508bと、ワード線リセット信号WLRSTの活性化時導通しワード線WL<sub>i</sub>を接地電圧レベルにリセットするリセット用トランジスタ509bが設けられる。

【0012】デコード回路506aおよび506bには、異なる組合せのプリデコード信号が与えられる。ブロック選択信号BLKSELが選択するメモリブロック内において、プリデコード信号X12が選択するワード線群のうち、プリデコード信号XA<sub>ij</sub>およびXA<sub>kl</sub>に従って1つのワード線が選択される。次に、この図25に示すワード線駆動制御部のテストモード時の動作を図26に示す信号波形図を参照して説明する。

【0013】テストモード時に、まずテストモード指示信号TMを活性化し、同時にテストモードロウデコーダ

## 6

ラッチ指示信号TM-RDLTCおよびテストモードワード線ラッチ指示信号TM-WLLTCを活性状態へ駆動する。これにより、ブロックデコード500が、ラッチ状態に設定され、またWLリセット回路502が、ラッチ状態に設定される。

【0014】このテストモード設定時においては、ワード線活性化タイミング信号WLOFFは非活性状態にあり、レベルシフト503からのワード線活性化タイミング信号はLレベルであり、ワード線ドライブ信号WLDVがLレベル、ワード線リセット信号WLRSTがHレベルにあり、ワード線WL<sub>i</sub>+1およびWL<sub>i</sub>はLレベルに維持されている。また、ロウアドレスが与えられていないため、レベルシフト501からのブロック選択信号BLKSELはLレベルにある。

【0015】このテストモードにおいて、外部からのロウアドレスストローブ信号/RASをLレベルの活性状態へ駆動し、同時に行アドレス信号を与える。この行アドレス信号に従って、ブロックデコード500が選択され、ブロックデコード500の出力信号がHレベルに立上がり、このHレベルが、テストモードロウデコーダラッチ指示信号TM-RDLTCに従ってラッチされる。したがって、レベルシフト501からのブロック選択信号BLKSELが、このテストモード期間中Hレベルに固定される。このブロック選択信号BLKSELがHレベルに固定され、デコード回路506aおよび506bが活性化される。

【0016】この外部からのロウアドレスストローブ信号/RASに従って内部ロウアドレスストローブ信号RASが活性化され、応じてワード線駆動タイミング信号WLOFFが活性化される。プリデコード信号XA<sub>ij</sub>およびXA<sub>kl</sub>およびX12が与えられたロウアドレス信号に従って生成され、指定されたワード線（図26においてはワード線WL<sub>1</sub>）が選択状態へ駆動される。残りのワード線は非選択状態にある。

【0017】次いで、外部のロウアドレスストローブ信号/RASを一旦非活性状態に設定する。このとき内部ロウアドレスストローブ信号RASも非活性化される。しかしながら、WLリセット回路502は、テストモードワード線ラッチ指示信号TM-WLLTCの活性化にตอบสนองしてワード線リセットタイミング信号WLOFFを非活性状態に維持する。したがって、レベルシフト503からのタイミング信号はHレベルを維持し、選択ワード線WL<sub>1</sub>は選択状態を維持する。

【0018】次いで再び、外部からのロウアドレスストローブ信号/RASを活性状態へ駆動し、別の行アドレスを与え、別のワード線を選択状態へ駆動する。この別のワード線WL<sub>2</sub>が選択状態へ駆動された場合、先に選択されたワード線WL<sub>1</sub>は選択状態を維持している。以降、外部のロウアドレスストローブ信号/RASをトグルして行アドレスを同時に与えることにより、複数のワ

7

ード線が同時に選択状態に駆動される。

【0019】この複数のワード線が選択状態に維持された状態で、ワード線駆動信号WLDVの電圧レベルを上昇させ、ワード線WLに接続されるメモリセルトランジスタのゲート絶縁膜の電圧ストレスの加速を実行する。

【0020】テストモード完了時においては、テストモード指示信号TMを活性化し、同時にテストモードワード線リセット信号TM-WL RSTを活性化する。これにより、WLリセット回路502が活性化され、ワード線リセットタイミング信号WLOFFが活性化される。10 応じてレベルシフト503がリセットされ、ワード線駆動タイミング信号がLレベルの非活性状態となり、ワード線ドライブ信号WLDVがLレベルに駆動される。また、NOR回路505からのワード線リセット信号WL RSTがHレベルの活性状態となり、リセットトランジスタ509aおよび509bが導通しワード線WL<sub>i</sub>、WL<sub>i</sub>+1 (WL<sub>1</sub>, WL<sub>2</sub>) が非選択状態へ駆動される。

【0021】また、このテストモードリセット時においては、テストモードロウデコードラッチ指示信号TM-RD L TCも、応じて非選択状態へ駆動され、ブロックデコード500が、リセットされ、レベルシフト501からのブロック選択信号BLKSELがLレベルの非選択状態となり、デコード回路506aおよび506bが非活性化される。

【0022】このテストモード時において、ブロック選択信号BLKSELをHレベルに固定することにより、プリデコード信号XA<sub>ij</sub>およびXA<sub>k1</sub>が変化しても行デコード回路506a、506bはリセットされず、デコード動作を行なうだけであり、そのデコード結果がラッチ回路507aおよび507bによりラッチされ、一旦選択されたワード線は、このテストモード期間中選択状態を維持する。

【0023】複数のワード線を選択状態に維持して加速試験を行なうことにより、1本のワード線を選択して加速試験を行なう場合に比べて大幅に加速試験に要する時間を短縮することができる。

【0024】図27は、上述の文献における半導体記憶装置のビット線周辺回路の構成を概略的に示す図である。図27において、ビット線対BLおよびZBLに対し、切換制御信号MUXに従ってビット線BLおよびZBLをセンスアンプ回路(SA)510に接続するビット線分離ゲート511と、テストモードイコライズ指示信号TMEQおよび/TMEQに従ってビット線イコライズ電圧VEQおよび出力イネーブル端子(/Gピン)からの電圧の一方を選択する電圧選択回路513と、ビット線プリチャージ制御回路515の出力信号に従って電圧選択回路513からの電圧をビット線BLおよびZBLへ伝達するビット線プリチャージ回路512が設けられる。

8

【0025】ビット線BLとワード線WLの交差部にメモリセルMCが配置される。このメモリセルMCは、キャパシタC<sub>m</sub>と、ワード線WL上の信号電位にตอบสนองしてキャパシタC<sub>m</sub>とビット線BLを接続するnチャネルMOSトランジスタT<sub>m</sub>を含む。

【0026】ビット線プリチャージ制御回路515は、テストモードイコライズ指示信号TM-SAEQとビット線イコライズ指示信号EQLとを受け、一方の活性化時ビット線プリチャージ回路512を活性化する。

【0027】ビット線プリチャージ回路512は、ビット線プリチャージ制御回路515の出力信号の活性化時、導通し、電圧選択回路513からの電圧をビット線BLおよびZBLへそれぞれ伝達するMOSトランジスタT<sub>c</sub>およびT<sub>e</sub>と、ビット線BLおよびZBLを短絡するnチャネルMOSトランジスタT<sub>d</sub>を含む。

【0028】電圧選択回路513は、テストモードイコライズ指示信号TMEQの活性化時導通し、出力イネーブル端子(/Gピン)を介して外部から与えられた電圧を伝達するトランスファークゲートT<sub>g</sub>と、テストモードイコライズ指示信号/TMEQの非活性化時導通し、図示しないビット線プリチャージ電圧発生回路からの中間電圧VEQを伝達するトランスファークゲートT<sub>f</sub>を含む。

【0029】センスアンプ回路(SA)510に対しては、センスアンプ制御回路514からの出力信号にตอบสนองして導通し、センスアンプ回路(SA)510へ電源電圧および接地電圧をそれぞれ伝達するpチャネルMOSトランジスタT<sub>b</sub>およびnチャネルMOSトランジスタT<sub>a</sub>が設けられる。

【0030】センスアンプ制御回路514は、センスアンプ活性化信号SETの反転信号/SETとテストモードイコライズ指示信号TM-SAEQを受けるNOR回路514aと、NOR回路514aの出力信号を反転するインバータ回路514bを含む。NOR回路514aの出力信号がnチャネルMOSトランジスタT<sub>a</sub>のゲートへ与えられ、インバータ回路514bの出力信号がMOSトランジスタT<sub>b</sub>のゲートへ与えられる。

【0031】次に、この図27に示すビット線周辺回路の動作を図28に示す信号波形図を参照して説明する。

【0032】通常のデータアクセスが行なわれるノーマルリード/ライトモード時においては、外部からのロウアドレスストローブ信号/RASに従ってワード線WLが選択され、選択メモリセルに対するアクセス(リードまたはライト)が行なわれる。このときには、テストモードイコライズ指示信号TM-SAEQおよびTMEQは、Lレベルの非活性状態にある。したがって、電圧選択回路513は、内部のビット線プリチャージ電圧発生回路からのプリチャージ電圧VEQを選択し、制御回路514および515は、それぞれセンスアンプ活性化信号/SETおよびビット線イコライズ指示信号EQLに

9

従ってセンスアンプ510の活性化およびビット線プリチャージ回路512の活性化を制御する。

【0033】テストモードに入ると、テストモード指示信号TMが活性化され、テストモードイコライズ指示信号TMEQがHレベルとなり、またテストモードイコライズ指示信号TM-SAEQがHレベルに設定される。電圧選択回路513が、外部から出力イネーブル端子（／Gピン）を介して与えられる外部電圧を選択する。ビット線プリチャージ回路512は、ビット線プリチャージ制御回路515の出力信号の活性化にตอบสนองして活性化され、電圧選択回路513からの与えられる外部電圧をビット線BLおよびZBL上に伝達する。センスアンプ回路510は、センスアンプ制御回路514の出力信号に従って非活性状態に維持される。この外部からの電圧をLレベルに強制的に設定し、ワード線の多重選択を先の図25に示す構成を利用して行なうことにより、メモリセルトランジスタTmのゲート絶縁膜に、ワード線WL上の電圧に等しいストレスが印加される。これにより、メモリセルトランジスタのゲート絶縁膜の電圧ストレスの加速を行なうことができる。

【0034】

【発明が解決しようとする課題】図25に示す構成において、ワード線WLはすべて選択し、図27の構成においてテストモードイコライズ指示信号TM-SAEQおよびTEQをHレベルに設定し、出力イネーブル端子（／Gピン）から与えられる電圧を接地電圧レベルに設定することにより、すべてのメモリセルトランジスタのゲート絶縁膜に印加される電圧ストレスを同時に加速することができ、このゲート絶縁膜の電圧ストレス加速に要する時間を短縮することができる。

【0035】一方、このバーンイン試験においては、隣接メモリセルキャパシタ間の電圧ストレスを加速し、隣接メモリセルキャパシタ間の層間絶縁膜の潜在的な不良を顕在化させる試験モードがある。

【0036】図29（A）は、メモリセルMCの配置を概略的に示す図である。図29（A）においては、ビット線対BL0、ZBL0およびBL1、ZBL1とワード線WL0-WL8の交差部に配置されるメモリセルを示す。

【0037】メモリセルMCは、2つのメモリセルMCを単位として、列方向に周期的に配置される。行方向（ワード線延在方向）においてはメモリセルキャパシタCmが整列して配置され、またビット線コンタクトBCTが行方向に整列して配置される。列方向において、2つのメモリセルを含むメモリ単位の間にはワード線ピッチに等しい空き領域が存在する。

【0038】ビット線BL0およびZBL0に対してセンスアンプ回路SA0が設けられ、ビット線対BL1およびZBL1に対しセンスアンプ回路SA1が設けられる。2つのメモリセルMCを1つのビット線コンタクト

10

BCTを介してビット線に接続することにより、コンタクト領域の数が低減され、応じてメモリセルを高密度に配置することができる。

【0039】図29（B）は、この図29（A）におけるメモリセルの行方向に沿った断面構造を概略的に示す図である。図29（B）において、メモリセルMCは、P型半導体基板領域520表面に形成される高濃度不純物領域521bおよび521cと、不純物領域521bに接続されるストレージノード電極522bと、不純物領域521cに接続されるビット線となる導電層525と、不純物領域521bおよび521cの間にゲート絶縁膜（図示せず）を介して形成されるワード線となる導電層524を含む。

【0040】隣接メモリセルは、不純物領域521bとフィールド絶縁膜526を介して分離される高濃度不純物領域521aと、この高濃度不純物領域521aに接続するストレージノード電極層522aを含む。隣接メモリセルのトランジスタは示していない。

【0041】これらのストレージノード電極層522aおよび522b上にキャパシタ絶縁膜（図示せず）を介して共通にセルプレート電極層523が形成される。

【0042】この図29（B）に示すように行方向においてメモリセルキャパシタのストレージノード電極層522aおよび522bの間の距離は小さく、このストレージノード電極間の層間絶縁膜の潜在的な不良を顕在化させるために電圧ストレスを加速することを考える。この場合、図29（A）に示すように、行方向に並列して配置されるメモリセルキャパシタCma、Cmb、CmcおよびCmdにそれぞれLレベル、Hレベル、Lレベル、およびHレベルのデータを書込み、Hレベルの電圧レベルを上昇させる必要がある。すなわち、ビット線BL0およびBL1をHレベルに設定し、かつ補のビット線ZBL0およびZBL1をLレベルに設定し、ワード線をすべて選択する。この動作を実現するためには、図25および図27に示す構成においては、予め、通常動作モードに従って、メモリセルキャパシタCma、Cmb、CmcおよびCmdに、Lレベル、Hレベル、LレベルおよびHレベルのデータを書込む。次いで、テストモードに入り、1つのワード線を選択して、センスアンプを活性化してビット線ZBL0およびZBL1をLレベル、ビット線BL0およびBL1をLレベルに設定し、次いで順次ワード線を選択状態へ駆動する必要がある。

【0043】しかしながら、メモリセルキャパシタCma-Cmdにデータを書込むためには、外部からアドレスを指定してメモリセルを選択してデータの書込を行なう必要がある。また、ワード線を順次選択するためには、先の図25に示す構成においては、外部からアドレスを順次指定する必要がある。このため、高速で全メモリセルを選択状態に置くことができず、バーンイン（加

11

速)試験に要する時間が長くなるという問題が生じる。

【0044】バーンイン(加速)試験をパッケージ実装後に行なう場合には、バーンインボードに形成された複数のソケットにパッケージされた記憶装置を挿入し、複数の記憶装置に対し同時にバーンイン試験が行なわれる。この場合、アドレス信号を利用して順次内部ワード線およびメモリセルの選択を行なう場合、ボード毎にアドレス信号を与える必要がありバーンインテスト(エージング装置)のピン端子数が不足するという問題が生じる。

【0045】また、この加速試験をウェハレベルで行なう場合、テストは、ウェハ上の複数のダイ(チップ)にプローブを接触させる。したがって、この場合、複数のダイ(チップ)に対し、並列にアドレス信号を与える必要があり、ウェハバーンインテストのピン端子数が大幅に不足するという問題が生じる。

【0046】また、従来の図25に示す構成のように、ワード線をすべて同時に選択状態へ駆動する構成の場合、ワード線間に存在する異物に対し電圧ストレスを加速することができないという問題がある。

【0047】それゆえ、この発明の目的は、少ない制御信号数でかつ短時間でメモリセルキャパシタ間に電圧ストレスを印加することのできる半導体記憶装置を提供することである。

【0048】この発明の他の目的は、少ない制御信号数でワード線間短絡の電圧ストレスを加速することのできる半導体記憶装置を提供することである。

【0049】この発明のさらに他の目的は、少ない信号で高速に複数のワード線を同時に選択状態へ駆動することのできる半導体記憶装置を提供することである。

【0050】

【課題を解決するための手段】請求項1に係る半導体記憶装置は、行列状に配列される複数のメモリセルと、各行に対応して配置され、各々に対応の行のメモリセルが接続する複数のワード線と、各列に対応して配置され、各々に対応の列のメモリセルが接続する複数のビット線対と、各列に対応して配置され、活性化時対応の列上のメモリセルのデータの検知および増幅を行なうための複数のセンスアンプ回路と、各列に対応して配置されかつ基準電圧伝達線に結合され、活性化時基準電圧伝達線上の電圧を対応の列のビット線対へ伝達するための複数のビット線プリチャージ回路と、第1のテストモード動作時、各ビット線プリチャージ回路を活性化しかつ複数のワード線のうち第1の所定数のワード線を同時に選択状態へ駆動し、かつ第2のテストモード動作時、複数のビット線プリチャージ回路を非活性化しかつ複数のワード線の第2の所定数のワード線を同時に選択状態へ駆動しかつ複数のセンスアンプ回路を活性化するためのテスト制御回路を備える。

【0051】請求項2に係る半導体記憶装置は、各ビッ

12

ト線対が、通常アクセスモード時に相補なデータ信号を伝達する第1および第2のビット線を含む。各列のメモリセルの各々は、第1および第2のビット線の一方に接続される。複数のワード線は、第1のビット線に接続するメモリセルが接続する第1のワード線と、第2のビット線に接続するメモリセルが接続する第2のワード線とを含む。テスト制御回路は、第1のテストモード動作時、第1のテスト指示信号の活性化時第1のワード線を選択状態へ駆動するための手段を含む。

10 【0052】請求項3に係る半導体記憶装置は、請求項2のテスト制御回路が、第1のテスト指示信号の活性化時、基準電圧伝達線の電圧を第1の論理レベルの電圧に設定するための手段を備える。

【0053】請求項4に係る半導体記憶装置は、請求項3のテスト制御回路がさらに、第1のテストモード動作時、第2のテスト指示信号の活性化にตอบสนองして複数のワード線を同時に選択し、かつ基準電圧伝達線の電圧を第2の論理レベルの電圧に設定するための手段を備える。第2のテスト指示信号は第1のテスト指示信号よりも先に活性化される。

20 【0054】請求項5に係る半導体記憶装置は、請求項1の第2の所定数のワード線が、複数のワード線すべてを含む。

【0055】請求項6に係る半導体記憶装置は、請求項1の第2の所定数のワード線が、物理的に1本置きに配置されるワード線を含む。

【0056】請求項7に係る半導体記憶装置は、各々が、行列状に配列される複数のメモリセルと、各行に対応して配置され、各々に対応の行のメモリセルが接続する複数のワード線と、各列に対応して配置され、各々に対応の列のメモリセルが接続する複数のビット線対を含む複数のメモリブロックと、列方向に隣接するメモリブロックにより共有され、各々が、対応のメモリブロックの列に対応して配置され、活性化時対応の列のメモリセルのデータの検知および増幅を行なう複数のセンスアンプ回路を含む複数のセンスアンプ群と、各センスアンプ群と対応のメモリブロックとの間に配置され、各々が活性化時対応のセンスアンプ群と対応のメモリブロックとを分離するための複数のビット線分離回路と、各ビット線対に対応して隣接メモリブロックに共有されるように設けられ、かつ基準電圧伝達線に結合され、活性化時基準電圧伝達線上の電圧を対応の列のビット線対に伝達するための複数のビット線プリチャージ回路と、テスト制御回路とを備える。

【0057】このテスト制御回路は、第1のテストモード動作時、各ビット線プリチャージ回路を活性化しかつ複数のビット線分離回路を非活性状態とし、かつさらに各メモリブロックにおいて複数のワード線のうち第1の所定数のワード線を同時に選択状態へ駆動し、かつ第2のテストモード動作時、複数のビット線プリチャージ回

50

## 13

路を非活性化し、かつ各メモリブロックにおいて複数のワード線の第2の所定数のワード線を同時に選択状態へ駆動しかつさらに複数のセンスアンプ回路を活性化する。

【0058】請求項8に係る半導体記憶装置は、請求項7の半導体記憶装置において各ビット線対が、通常アクセスモード時相補なデータ信号を伝達する第1および第2のビット線を含む。各列のメモリセルの各々は、第1および第2のビット線の一方に接続される。各メモリブロックにおいて複数のワード線は、第1のビット線に接

続するメモリセルが接続する第1のワード線と、第2のビット線に接続するメモリセルが接続する第2のワード線とを含む。

【0059】この請求項8に係る半導体記憶装置のテスト制御回路は、第1のテストモード動作時第1のテスト指示信号の活性化に応答して第1のワード線を選択状態へ駆動するための手段を含む。

【0060】請求項9に係る半導体記憶装置は、請求項8のテスト制御回路が、第1のテスト指示信号の活性化時、基準電圧伝達線の電圧を第1の論理レベルの電圧に設定するための手段をさらに備える。

【0061】請求項10に係る半導体記憶装置は、請求項9のテスト制御回路がさらに、第1のテストモード動作時、第2のテスト指示信号の活性化に応答して複数のワード線を同時に選択しかつ基準電圧伝達線の電圧を第2の論理レベルの電圧に設定するための手段を備える。

第2のテスト指示信号は、第1のテスト指示信号よりも先に活性化される。

【0062】請求項11に係る半導体記憶装置は、請求項7の装置の第2の所定数のワード線は、複数のワード線すべてである。

【0063】請求項12に係る半導体記憶装置は、請求項7の第2の所定数のワード線は、物理的に1本置きに配置されるワード線を含む。

【0064】請求項13に係る半導体記憶装置は、請求項1または7のテスト制御回路が、外部からの複数の制御信号に従って活性化タイミングが決定される複数の内部動作制御信号を発生する手段を含む。これら複数の内部動作制御信号に従ってビット線プリチャージ回路、センスアンプ回路およびワード線が駆動される。

【0065】請求項14に係る半導体記憶装置は、請求項13のテスト制御回路が、さらに、外部からの複数の制御信号に従ってワード線を特定する内部アドレス信号を生成する手段を含む。

【0066】請求項15に係る半導体記憶装置は、第2のテストモード動作時、外部からの制御信号に従って複数のメモリブロックを同時に選択状態とするための手段をさらに含む。

【0067】ビット線プリチャージ回路を活性化して複数のワード線を同時に選択することにより、ビット線プ

## 14

リチャージ回路からの電圧によりメモリセルへのデータ書込を行なうことができ、列選択動作が不要となる。

【0068】また、ビット線プリチャージ回路を非活性化しかつ複数のワード線を同時に選択し、かつさらに複数のセンスアンプ回路を活性化することにより、メモリセルの記憶データに応じてビット線電圧レベルを設定でき、センスアンプ電源電圧を変更することにより、隣接メモリセルキャパシタ間の電圧ストレスを加速することができる。

【0069】さらに、物理的に1本置きのワード線を選択することによりワード線間の潜在的な短絡を電圧ストレス加速により顕在化させることができる。

【0070】また、外部制御信号を利用して内部動作制御信号および内部アドレス信号を生成することにより、加速試験時外部から印加される信号数を低減することができ、応じてバーンインテスト（エージングテスト）のピン数（プローブ数）を低減することができる。

【0071】

【発明の実施の形態】 [全体の構成] 図1は、この発明に従う半導体記憶装置の全体の構成を概略的に示す図である。図1において、半導体記憶装置は、行列状に配列される複数のメモリセルを有するメモリセルアレイ1と、外部からのアドレス信号ADを取込み内部アドレス信号を生成するアドレスバッファ2と、アドレスバッファ2からの内部行アドレス信号に従ってメモリセルアレイ1のアドレス指定された行を選択状態へ駆動する行選択回路3と、メモリセルアレイ1の各列に対応して配置されるビット線に対して設けられるビット線周辺回路4を含む。

【0072】メモリセルアレイ1においては、メモリセルの行それぞれに対応してワード線が配置されており、またメモリセルの列それぞれに対応してビット線対が配置される。ビット線周辺回路4は、ビット線対それぞれに対応して設けられるセンスアンプ回路およびビット線プリチャージ/イコライズ回路を含む。

【0073】この半導体記憶装置は、さらに、ビット線周辺回路4に含まれるビット線イコライズ/プリチャージ回路に対しプリチャージ電圧VBLを与えるVBL発生回路5と、ビット線周辺回路4に含まれるセンスアンプ回路に対する電源電圧を与えるセンスアンプ電源回路6と、テストモード指示信号TEと内部ロウアドレスストロブ信号（アレイ活性化信号）RASに従って行選択に関連する動作を制御するテスト制御回路（行系制御回路）7を含む。

【0074】VBL発生回路5およびセンスアンプ電源回路6は、テストモード指示信号TEの活性化時、その発生電圧レベルを、外部から制御することができる。

【0075】テスト制御回路7は、テストモード指示信号TEの活性化時、アドレス端子に与えられるアドレス信号ADを取込み内部テスト制御信号φ0-φ3を生成



15

するテスト信号発生回路8と、テスト信号発生回路8からのテスト制御信号 $\phi 0-\phi 3$ に従って、テストモード時、行系回路の制御信号を生成し、通常動作モード時には、内部ロウアドレスストローブ信号RASに従って行系回路制御信号を生成するテスト制御機能付行系制御回路10を含む。アドレスバッファは、テスト信号発生回路8からのテスト指示信号を受け、テスト制御機能付行系制御回路10の制御の下に動作し、このテスト指示信号に従って内部アドレス信号を生成する。テスト制御機能付行系制御回路10は、行選択回路3およびビット線

【0076】テストモード時において、アドレス信号ADの一部のビットを利用してテスト指示信号 $\phi 0-\phi 3$ を生成し、これらのテスト制御信号 $\phi 0-\phi 3$ に従って内部行アドレス信号および内部行選択動作制御信号を生成することにより、外部では、このテスト制御信号 $\phi 0-\phi 3$ に対応する信号を与えるだけでよく、全アドレスビットを利用する必要はなく、少ない信号で加速試験（バーンイン試験）を行なうことができる。次に、各部の構成について説明する。

【0077】内部ロウアドレスストローブ信号RASは、単にバッファ回路を介して外部から与えられる外部ロウアドレスストローブ信号ext/RASに従って生成されてもよい。また、これに代えて、内部ロウアドレスストローブ信号RASは、アレイ活性化を指示するアクティブコマンドが与えられたときに、活性状態へ駆動されてもよい。ここで、コマンドは、複数の外部信号の状態の組合せにより与えられる。

【0078】[テストモード指示信号発生部の構成] 図2は、テストモード指示信号発生部の構成の一例を示す図である。図2において、テストモード指示信号TEは、パッド8aを介して外部から与えられる。このパッド8aは、ピン端子に接続されるパッドであってもよく、また空きパッドであってもよい。ウェハレベルで加速試験を行なう場合には、テストから、任意のパッドに対しテストモード指示信号TEを与えることができる。パッケージ実装後においては、このパッド8aがピン端子に接続され、このピン端子を介して外部のテストからテストモード指示信号が与えられる。このパッケージ実装後において利用されるピン端子は、テストモード時に

【0079】図3は、テストモード指示信号発生部の他の構成を示す図である。図3においては、テストモード指示信号TEは、特定の外部からのアドレス信号ビットA0-A3を受けるテストモード設定回路8bから生成される。テストモード設定回路8bは、これらのアドレス信号ビットA0-A3のタイミング関係に従ってテストモード指示信号TEの活性化および非活性化を行なう。アドレス信号ビットA0-A3は、また加速試験時において行アドレス信号の設定および行選択動作タイミ

16

ングの決定のために使用され、これらのテスト動作時に使用されないタイミング関係を使用して、テストモード指示信号TEの活性/非活性化が実現される。たとえば、アドレス信号ビットA1-A3がHレベルとなった後に、アドレス信号ビットA0がHレベルに立上ると、テストモード指示信号TEが活性化される。アドレス信号ビットA0およびA1がともに立上がった後に、アドレス信号ビットA2およびA3がHレベルに立上ると、テストモード指示信号TEが非活性化される。この図3に示す構成の場合、テストモードの設定には、テストモード時の制御信号を使用することができ、信号数の増加は生じず、テストのピン端子の増加を防止することができる。

【0080】[テスト信号発生回路の構成] 図4は、図1に示すテスト信号発生回路8の構成の一例を示す図である。図4において、テスト信号発生回路8は、外部からのアドレス信号ビットAi (i=0-3)とテストモード指示信号TEを受けるNAND回路8aと、NAND回路8aの出力信号を反転してテスト制御信号 $\phi i$ を生成するインバータ回路8bを含む。

【0081】テストモード指示信号TEがLレベルの非活性状態のときには、テスト制御信号 $\phi i$ は、Lレベルに固定される。テストモード活性化信号TEがHレベルの活性状態となると、テスト制御信号 $\phi i$ が、外部からのアドレス信号ビットAiに従ってその論理状態が設定される。4ビットのアドレス信号A0-A3を用いて加速試験の動作をすべて制御し、加速試験時に用いられる制御信号の数を低減する。

【0082】[テスト制御機能付行系制御回路の概略構成] 図5は、図1に示すテスト制御機能付行系制御回路10の概略構成を示す図である。図5において、テスト制御機能付行系制御回路10は、テスト制御信号 $\phi 0$ および $\phi 1$ とロウアドレスイネーブル信号RADEとに従ってアドレス制御信号 $\phi 4$ および $\phi 5$ を生成するアドレス制御信号発生部10aと、内部ロウアドレスストローブ信号RASとテスト制御信号 $\phi 0$ および $\phi 1$ とセンスアンプ活性化信号SEとを受けてロウアドレスイネーブル信号RADEを生成するアドレスイネーブル信号発生部10bと、ロウアドレスイネーブル信号RADEと内部ロウアドレスストローブ信号RASとテスト制御信号 $\phi 0-\phi 2$ とセンスアンプ活性化信号SEとを受けてビット線イコライズ制御信号BLEQFを生成するビット線イコライズ信号発生部10cと、内部ロウアドレスストローブ信号RASとテスト制御信号 $\phi 0-\phi 2$ を受けてロウデコーダイネーブル信号RDEを生成するロウデコーダイネーブル信号発生部10dと、内部ロウアドレスストローブ信号RASとテスト制御信号 $\phi 0$ 、 $\phi 1$ および $\phi 3$ とを受けてセンスアンプ活性化信号SEを生成するセンスアンプ活性化信号発生部10eを含む。

【0083】通常動作モード時においては、内部ロウア

17

ドレラストロープ信号RASに従って、ロウアドレスイネーブル信号RADE、ビット線イコライズ制御信号BLEQF、ロウデコードイネーブル信号RDEおよびセンスアンプ活性化信号SEが所定のシーケンスで活性化される（ビット線イコライズ制御信号BLEQFは非活性化される）。

【0084】加速試験時においては、テスト制御信号φ0およびφ1の論理状態の組合せに従って、これらの内部制御信号RADE、BLEQF、RDEおよびSEの活性／非活性が決定される。すなわち、加速試験時には、テスト制御信号φ0-φ3に従って行選択動作が実行され、また外部からの制御の下に、ビット線電圧の制御が行なわれる。アドレス制御信号φ4およびφ5ならびにテスト制御信号φ0およびφ1に従って加速試験時に内部行アドレスビットの論理状態が決定される。したがって、外部からの4ビットのテスト制御信号を利用して、加速試験時の行選択動作が実行され、また行指定も行なわれ、必要な数のワード線が同時に選択状態へ駆動される。

【0085】図6は、図1に示すメモリセルアレイ1の概略構成を示す図である。図6において、メモリアレイ1は、複数のメモリブロックMB0-MB15に分割される。メモリブロックMB0-MB15の間に、列方向に隣接するメモリブロックに共有されるようにセンスアンプ帯SAB1-SAB15が配置され、メモリブロックMB0およびB15の外側に、センスアンプ帯SAB0およびSAB16が配置される。

【0086】センスアンプ帯SAB0-SAB16の各々は、対応のメモリブロックの列に対応して設けられるセンスアンプ回路を含むセンスアンプ群SAGと、対応のメモリブロックとセンスアンプ群とを分離するためのビット線分離回路BIGLおよびBIGRと、対応のメモリブロックの列のビット線をプリチャージするためのビット線プリチャージ回路BPCを含む。

【0087】16個のメモリブロックMB0-MB15のうち1つのメモリブロックが、ロウアドレス信号ビットRAD9-RAD12に基づいて生成される8ビットのプリデコード信号X20-X27により指定される。残りのアドレス信号ビットRAD0-RAD8に従ってメモリブロック内におけるワード線が指定される。これらのアドレス信号ビットRAD0-RAD12をテスト制御信号φ0、φ1、φ4およびφ5に従って生成することにより、所望の数のメモリブロックおよび所望の数のワード線を選択状態へ駆動することができる。次に、この発明における加速試験時の動作について簡単に説明する。

【0088】まず、図7に示すように、テスト制御信号φ0およびφ1をHレベルに設定し、センスアンプ活性化信号発生部10eからのセンスアンプ活性化信号SEを非活性状態に維持し、一方、ビット線イコライズ信号

18

発生部10cからのビット線イコライズ制御信号BLEQFをHレベルの活性状態とする。この状態で、ビット線プリチャージ回路BSCに含まれるビット線プリチャージ／イコライズ回路BP/Eへ与えられるプリチャージ電圧VBLの電圧レベルを接地電圧Vssレベルに設定する。また、制御信号φ0およびφ1に従って、すべての行アドレス信号を選択状態に設定し、ワード線WLeおよびWL0をすべて選択状態へ駆動する。これにより、ビット線BLおよびZBL上には、Lレベルの電圧がビット線プリチャージ／イコライズ回路BP/Eを介して与えられ、メモリセルMCeおよびMC0に、Lレベルの電圧が書込まれる。

【0089】次に、図8に示すように、テスト制御信号φ1およびφ2をHレベルに設定する。この状態においては、センスアンプ回路SAは非活性状態にあり、一方、ビット線プリチャージ／イコライズ回路BP/Eが活性状態に維持される。またテスト制御信号φ1およびφ2をHレベルに設定することにより、これらのテスト制御信号に従って生成される行アドレス信号に従って、ワード線WLnおよびWLn+3が選択状態へ駆動される。これらのワード線WLnおよびWLn+3には、ビット線BLに接続メモリセルMCが接続される。ワード線WLn+1およびWLn+2には、補のビット線ZBLに接続するメモリセルが接続される。メモリセルが、行方向に2ビット単位でビット線および補のビット線に交互に接続される（図29（A）参照）。

【0090】この状態で、ビット線プリチャージ電圧VBLを電源電圧レベルのHレベルに設定する。したがって、ワード線WLnおよびWLn+3に接続するメモリセルMCに、Hレベルのデータが書込まれる。

【0091】図7および図8の動作が完了した時点においては、ビット線BLに接続するメモリセルMCには、Hレベルのデータが書込まれ、補のビット線ZBLに接続されるメモリセルMCには、Lレベルのデータが書込まれる。また、この状態では、ワード線WLn+1がLレベル、ワード線WLn+3がHレベルであり、これらのワード線WLn+3およびWLn+1が異物により潜在的に短絡している場合、この異物に電圧ストレスを加速することができ、異物の加速電圧ストレスによる発熱および炭化によりこれらのワード線短絡を加速することができる。これは、他のワード線間についても同じである。

【0092】このワード線間短絡の加速時には、ワード線に与えられるワード線駆動信号の電圧レベル（昇圧電圧VPP）がさらに高くされる。

【0093】これらの図7および図8に示す動作により、メモリセルにHレベルおよびLレベルのデータを、アドレス指定を外部から行なうことなく書込むことができる（第1のテストモード）。

【0094】次に、図9に示すように、テスト制御信号

19

φ0およびφ2をHレベルに設定し、すべてのワード線を非選択状態とし、またビット線プリチャージ/イコライズ回路BP/Eを非活性状態に設定する。これにより、ビット線BLおよびZBLがフローティング状態となり、メモリセルMC（MCe、MCo）に書込まれたデータを読み出す準備を行なう。

【0095】次に、図10に示すように、テスト制御信号φ0、φ1およびφ2をすべてHレベルに設定し、ビット線プリチャージ/イコライズ回路BP/Eおよびセンスアンプ回路SAを非活性状態に維持した状態で、すべてのワード線を選択状態へ駆動する（全行アドレスビットを選択状態に設定し、ロウデコーダを活性化す  
10

る）。これにより、ビット線BLおよびZBLそれぞれに、HレベルおよびLレベルの読出電圧が伝達される。  
【0096】すなわち、図5に示すアドレス制御信号発生部10aからのアドレス制御信号φ4およびφ5に従ってすべてのアドレスビットを選択状態に設定し、またアドレスイネーブル信号発生部10bおよびロウデコーダイネーブル信号発生部10dを活性化する。一方、ビット線イコライズ信号発生部10cおよびセンスアンプ  
20

活性化信号発生部10eは、非活性状態に維持する。これにより、上述のワード線選択が行なわれる。  
【0097】次いで、図11に示すように、テスト制御信号φ0-φ3をすべてHレベルとして、センスアンプ回路SAを活性化する。これは、図5に示すセンスアンプ活性化信号発生部10eが活性化されて、センスアンプ活性化信号SEを活性化することにより実現される。ビット線BLおよびZBL上に読出されたHレベルおよびLレベルの読出電圧が、それぞれアレイ電源電圧Vccsおよび接地電圧Vssレベルに駆動されかつセン  
30

スアンプ回路SAによりラッチされる。  
【0098】この状態においては、図12に示すように、行方向に整列して配置されるメモリセルのキャパシタCmには、LレベルデータおよびHレベルデータが交互に書込まれている（センスアンプ回路によりリストアされている）。したがって、このセンスアンプ回路SAの電源電圧レベルを上昇させ、またワード線上の電圧レベルも上昇させることにより、メモリセルキャパシタCmに書込まれたHレベルのデータの電圧レベルを上昇  
40

させることができ、行方向に隣接するメモリセルキャパシタ間の電圧ストレスを加速することができる。  
【0099】上述のように制御信号として、4つのテスト制御信号が利用されているだけであり、256MビットDRAMの場合でも13ビットのロウアドレス信号を利用する必要がなく、テストのピン端子数またはプローブ端子数を低減することができる。次に各部の詳細構成について説明する。

【0100】〔テスト制御機能付行系制御回路の詳細構成〕図13は、図1に示すテスト制御機能付行系制御回路10の構成をより詳細に示す図である。図13におい  
50

20

て、テスト制御機能付行系制御回路10は、テスト制御信号φ0およびφ1を受けるNOR回路20と、NOR回路20の出力信号を反転してアドレス制御信号φ4を生成するインバータ回路21と、NOR回路20の出力信号がLレベルのときセットされかつロウアドレスイネーブル信号RADEがLレベルのときリセットされるフリップフロップ回路22と、フリップフロップ回路22の出力信号を反転してアドレス制御信号φ5を生成するインバータ回路23を含む。このアドレス制御信号φ4およびφ5を生成する部分は、図5に示すアドレス制御信号発生部10aに対応する。

【0101】テスト制御機能付行系制御回路10は、さらに、内部ロウアドレスストロブ信号RASとアドレス制御信号φ4を受けるNOR回路24と、NOR回路24の出力信号を反転するインバータ回路25を含む。このNOR回路24およびインバータ回路25は、加速試験時、内部ロウアドレスストロブ信号RASを無効とする回路部分であり、図5に示す信号発生部10a-10eにおいて共通に設けられる回路部分である。

【0102】テスト機能付行系制御回路10は、さらに、NOR回路24の出力信号とインバータ回路42を介して与えられるセンスアンプ活性化信号SEを受けてロウアドレスイネーブル信号RADEを生成するNAND回路26と、NAND回路26の出力信号を遅延する2段のインバータ回路で構成される遅延回路29と、テスト制御信号φ0およびφ2を受けるNAND回路27と、フリップフロップ回路22の出力信号とNAND回路27の出力信号とを受けるNAND回路28と、ロウアドレスイネーブル信号RADEと遅延回路29の出力信号とNAND回路28の出力信号とを受けるNAND回路30と、NAND回路30の出力信号を受けるインバータ回路31と、インバータ回路31の出力信号を反転してビット線イコライズ制御信号BLEQFを生成するインバータ回路32を含む。

【0103】このNAND回路26が、図5に示すアドレスイネーブル信号発生部10bに相当し、NAND回路27、28、および30を含む経路が、図5に示すビット線イコライズ信号発生部10cに相当する。

【0104】テスト制御機能付行系制御回路10は、さらに、テスト制御信号φ1を受けるインバータ回路33と、インバータ回路33の出力信号とテスト制御信号φ2を受けるNAND回路34と、インバータ回路25の出力信号を遅延する2段のインバータ回路で構成される遅延回路35と、インバータ回路25の出力信号と遅延回路35の出力信号とNAND回路30の出力信号を受け、ロウデコーダイネーブル信号RDEを生成するAND回路36と、アドレス制御信号φ5とインバータ回路25の出力信号と遅延回路35の出力信号とを受けるAND回路37と、AND回路37の出力信号を遅延する2段のインバータ回路を含む遅延回路38と、遅延回路

21

38の出力信号を反転するインバータ回路40と、テスト制御信号φ3を反転するインバータ回路39と、インバータ回路39および40の出力信号を受けてセンスアンプ活性化信号SEを生成するNAND回路41を含む。

【0105】NAND回路34およびAND回路36を含む経路が、図5に示すロウデコーダイネーブル信号発生部10dに相当し、AND回路37およびNAND回路41を含む経路が、図5に示すセンスアンプ活性化信号発生部10eに相当する。次に、この図13に示すテスト制御機能付行系制御回路10の動作を図14に示す信号波形図を参照して説明する。

【0106】加速試験においては、行選択動作に対しては内部ロウアドレスストローブ信号RASが利用されない。内部ロウアドレスストローブ信号RASが外部ピン端子（パッド）に与えられる外部ロウアドレスストローブ信号ext/RASに従って生成される場合、加速試験時には、外部ロウアドレスストローブ信号入力端子はフローティング状態である。アクティブコマンド（またはロウアクセスコマンド）に従って内部ロウアドレスストローブ信号RASが生成される場合でも、外部制御信号入力端子（パッド）はフローティング状態にある。加速試験時、この内部ロウアドレスストローブ信号RASがテストモード指示信号TEによりLレベルに固定される。

【0107】時刻t0において、テスト制御信号φ0およびφ1をHレベルに設定する。NOR回路20の出力がLレベルとなり、フリップフロップ回路22がセットされ、インバータ回路23からのアドレス制御信号φ5がLレベルにセットされる。一方、インバータ回路21からのアドレス制御信号φ4がLレベルからHレベルに立上がり、NOR回路24の出力信号は、内部ロウアドレスストローブ信号RASの論理状態にかかわらずLレベルに設定される。

【0108】このNOR回路24の出力信号がLレベルに立下がると、応じてNAND回路26からのロウアドレスイネーブル信号RADEがHレベルの活性状態へ駆動され、後に説明するように、アドレスバッファにおいてロウアドレス信号ビットがラッチされる。

【0109】テスト制御信号φ1がHレベルに設定されるため、インバータ回路33の出力信号がLレベルとなり、応じてNAND回路34の出力信号がHレベルとなる。したがって、このNOR回路24の出力信号がLレベルに立下がってから、遅延回路35が有する遅延時間が経過した後、AND回路36から出力されるロウデコーダイネーブル信号RDEがHレベルの活性状態へ駆動され、行アドレス信号のデコード動作が行なわれる。アドレス制御信号φ5がLレベルであり、応じてAND回路37の出力信号がLレベルに設定され、テスト制御信号φ3がLレベルであるため、センスアンプ活性化信号

22

SEはLレベルを維持する。このセンスアンプ活性化信号SEがLレベルにあるため、ロウアドレスイネーブル信号RADEは、NAND回路26によりアドレス制御信号φ4に従って変化する。一方、NAND回路28の出力信号はLレベルにあり、ビット線イコライズ指示信号BLEQFがHレベルを維持し、ビット線プリチャージ/イコライズ回路BP/Eは活性状態を維持する。この時刻t0からテスト制御信号φ0およびφ1がHレベルの活性状態にある間、図7に示すように、全メモリセルへのLレベルデータの書込が行なわれる。テスト制御信号φ0およびφ1がLレベルに立下がると、アドレス制御信号φ4がLレベルとなり、応じてNOR回路24の出力信号がHレベルとなる。センスアンプ活性化信号SEがLレベルであるため、ロウアドレスイネーブル信号RADEGA、Lレベルに立上がる。テスト制御信号φ2がLレベルであるため、NAND回路27の出力信号はHレベルとなり、応じてまたフリップフロップ回路22がセット状態にあるため、NAND回路28の出力信号がLレベルにあり、ビット線イコライズ指示信号BLEQFは、Hレベルを維持する。

【0110】時刻t1においてテスト制御信号φ1およびφ2をHレベルに設定する。このテスト制御信号φ1のHレベルに応答してアドレス制御信号φ4が再びHレベルに立上がり、遅延回路35の有する遅延時間経過後、ロウデコーダイネーブル信号RDEがHレベルの活性状態へ駆動される。ロウアドレスイネーブル信号RADEは、センスアンプ活性化信号がLレベルの非活性状態にあるため、また、Hレベルへ駆動される。アドレス制御信号φ5はLレベルを維持しており、この動作期間中、センスアンプ活性化信号SEはLレベルを維持する。テスト制御信号φ0がLレベルであるため、NAND回路27の出力信号はHレベルであり、フリップフロップ回路22の出力信号がHレベルであるため、NAND回路28の出力信号がLレベルであり、またビット線イコライズ指示信号BLEQFもHレベルを維持する。

【0111】この時刻t1からの期間、図8に示す動作が行なわれ、ビット線プリチャージ/イコライズ回路を介してビット線BLに接続されるメモリセルへHレベルのデータを書込む。

【0112】この動作が完了し、テスト制御信号φ1およびφ2がLレベルに立下がると、応じてアドレス制御信号φ4もLレベルに立上がり、1つのメモリサイクルが完了する。また、インバータ回路25の出力信号がLレベルとなり、ロウデコーダイネーブル信号RDEがLレベルとなる。

【0113】時刻t2において、テスト制御信号φ0およびφ2をHレベルに設定する。このテスト制御信号φ0のHレベルに従って、アドレス制御信号φ4がHレベルとなり、インバータ回路25の出力信号がHレベルとなる。テスト制御信号φ1がLレベルであり、かつテス

23

ト制御信号φ2がHレベルであるため、NAND回路34の出力信号はLレベルであり、ロウデコーダイネーブル信号RDEはLレベルを維持する。一方、テスト制御信号φ0およびφ2はともにHレベルであるため、NAND回路27の出力信号がLレベルとなり、NAND回路28の出力信号がHレベルとなる。ロウアドレスイネーブル信号RADEはHレベルであるため、遅延回路29の遅延時間経過後NAND回路30の出力信号がLレベルとなり、応じてビット線イコライズ指示信号BLEQFがLレベルとなる。この状態においては、図9に示すように、ビット線プリチャージ/イコライズ回路BP/Eが非活性状態にあり、ビット線BLおよびZBLがフローティング状態となる。

【0114】時刻t3において制御信号φ1をHレベルに立上げると、NAND回路34の出力信号がHレベルとなる。この時刻t3と時刻t2の間の時間は、遅延回路35の有する遅延時間よりも長い。したがって、このNAND回路34の出力信号がHレベルとなると、応じてAND回路36からのロウデコーダイネーブル信号RDEがHレベルへ駆動され、行選択動作が行なわれる。10  
他の内部制御信号の状態は変化しない。

【0115】時刻t4においてテスト制御信号φ3をHレベルに駆動すると、インバータ回路39の出力信号がLレベルとなり、応じてNAND回路41からのセンスアンプ活性化信号SEがHレベルへ駆動される。これによりセンス動作が行なわれる。この時刻t4からの期間においてメモリセルキャパシタ間の電圧ストレス加速が実行される。

【0116】時刻t5においてテスト制御信号φ0-φ3をすべてLレベルに設定する。応じて、センスアンプ活性化信号SEがLレベルとなり、またロウデコーダイネーブル信号RDEがLレベルに立下がる。一方、センスアンプ活性化信号SEが非活性状態となると、また、NOR回路24の出力信号がHレベルとなり、NAND回路26によりロウアドレスイネーブル信号RADEがLレベルに設定され、フリップフロップ22がリセットされ、アドレス制御信号φ5がHレベルに立上がる。

【0117】通常動作モード時においては、テスト制御信号φ0-φ3はすべてLレベルに設定される（図3参照）。したがって、内部ロウアドレスストローブ信号RASに従って、ロウアドレスイネーブル信号RADEがHレベルとなり、外部からのアドレス信号がラッチされ、続いてロウデコーダイネーブル信号RDEが活性化される。ビット線イコライズ指示信号BLEQFが、このロウアドレスイネーブル信号RADEがHレベルに立上ってから所定時間経過後Lレベルに立下がる。この遅延回路29により、メモリブロック選択のためのデコード動作に合わせて、ビット線イコライズ指示信号BLEQFを非選択状態へ駆動し、選択メモリブロックとセンスアンプを共有するメモリブロックに対するビット線 50

24

分離回路を非導通状態に設定する。

【0118】したがって、この図13に示すように、アドレス制御信号φ4に従って内部ロウアドレスストローブ信号RASに対応する制御信号を生成し、テスト制御信号φ0-φ3に従って各回路の動作を制御する。テスト制御信号φ0-φ3により、行系回路の動作を所望の状態に外部制御信号により設定することができる。

【0119】図15は、図1に示すアドレスバッファ2の12ビットのアドレス信号RA<12:1>の構成を示す図である。図15において、アドレスバッファ回路は、ロウアドレスイネーブル信号RADEがLレベルのとき、外部からのロウアドレス信号ビットRA<12:1>をノードNAへ伝達するCMOSトランスマッションゲート2aと、ノードNA上の信号を反転するインバータ回路2bと、インバータ回路2bの出力信号とアドレス制御信号φ5とを受けて、その出力信号をノードNAに与えるNAND回路2cと、ノードNA上の信号とアドレス制御信号φ5とを受けるNAND回路2dと、ノードNA上の信号とロウアドレスイネーブル信号RADEとを受けて内部アドレス信号ビットRAD<12:1>を生成するAND回路2eと、NAND回路2dの出力信号とロウアドレスイネーブル信号RADEとを受けて補の内部アドレス信号ビットZRAD<12:1>を出力するAND回路2fを含む。

【0120】通常動作モード時においては、内部ロウアドレスストローブ信号RASに従ってロウアドレスイネーブル信号RADEが生成され、加速試験時においては、テスト制御信号φ0-φ2に従ってロウアドレスイネーブル信号RADEが生成される。ロウアドレスイネーブル信号RADEがHレベルとなると、CMOSトランスマッションゲート2aが非導通状態となり、このアドレスバッファ回路がラッチ状態となる。加速試験時においては、アドレス制御信号φ5がLレベルとなり、NAND回路2cおよび2dの出力信号がHレベルとなる。ノードNA上の信号は、インバータ回路2bおよびNAND回路2cによりラッチされる。NAND回路2cの出力信号がAND回路2eへ与えられ、NAND回路2dの出力信号がAND回路2fに与えられている。したがって、加速試験時においては、内部アドレス信号ビットRAD<12:1>およびZRAD<12:1>がすべてHレベルとなる。すなわち、この加速試験時においては、アドレス信号ビットRAD<12:1>およびZRAD<12:1>が縮退状態（両選択状態）に設定され、これらのアドレス信号ビットが指定するメモリブロックおよびワード線が選択状態へ駆動される。

【0121】通常動作モード時においては、アドレス制御信号φ5がHレベルであり、NAND回路2cおよび2dがインバータ回路として動作する。したがって、通常動作モード時においては、外部からのアドレス信号ビットRA<12:1>に従って内部アドレス信号ビット

25

RAD<12:1>およびZ RAD<12:1>が生成される。

【0122】図16は、図1に示すアドレスバッファ2のアドレス信号ビットRA<0>に対する回路の構成を示す図である。図16において、アドレスバッファ回路は、ロウアドレスイネーブル信号RADEがLレベルと  
10 のとき外部からのロウアドレス信号ビットRA<0>をノードNBへ伝達するCMOSトランSMISSIONゲート2gと、ノードNB上の信号をノードNBへ伝達する2段のインバータ回路でたとえば構成されるバッファ回路2hと、ノードNB上の信号を反転するインバータ回路2iと、ロウアドレスイネーブル信号RADEとアドレス制御信号φ5とを受けるAND回路2jと、ノードNB上の信号とAND回路2jの出力信号とテスト制御信号φ1とを受けるAND/NOR複合ゲート2kと、AND/NOR複合ゲート2kの出力信号を反転して内部行アドレス信号ビットRAD<0>を生成するインバータ回路2lと、インバータ回路2iの出力信号とAND回路2jの出力信号とテスト制御信号φ0とを受けるAND/NOR複合ゲート2mと、AND/NOR複合ゲート2mの出力信号を反転して補の内部アドレス信号ビットZ RAD<0>を生成するインバータ回路2nを含む。

【0123】AND/NOR複合ゲート2kは、ノードNB上の信号とAND回路2jの出力信号とを受けるANDゲートと、このANDゲートの出力信号とテスト制御信号φ1とを受けるNORゲートを機能的に含む。

【0124】AND/NOR複合ゲート2mは、インバータ回路2iの出力信号とAND回路2jの出力信号とを受けるANDゲートと、このANDゲートとテスト制御信号φ0とを受けるNORゲートを機能的に含む。

【0125】通常動作モード時においては、アドレス制御信号φ5はHレベルであり、AND回路2jはバッファ回路として動作する。したがって、ロウアドレスイネーブル信号RADEに従って外部行アドレス信号ビットRA<0>がラッチされて内部行アドレス信号ビットRAD<0>および補の行アドレス信号ビットZ RAD<0>が生成される。

【0126】加速試験時においては、アドレス制御信号φ5は、行選択動作時にLレベルに設定される（図14参照）。したがって、AND回路2jの出力信号がLレベルとなり、AND/NOR複合ゲート2kおよび2mからは、テスト制御信号φ1およびφ0を反転した信号がそれぞれ出力される。すなわち、加速試験時においては、テスト制御信号φ1およびφ0に従って、内部行アドレス信号ビットRAD<0>およびZ RAD<0>が生成される。テスト制御信号φ1およびφ0をとともにHレベルに設定すると、この行アドレス信号ビットRAD<0>が縮退状態となる。テスト制御信号φ1およびφ0の一方をHレベルとすることにより、後に説明するよ

26

うに、奇数番号のワード線または偶数番号のワード線を選択することができる。すなわち、メモリセルアレイ内において、隣接ワード線の一方が選択状態、他方が非選択状態となり、隣接ワード線間の短絡を加速することが可能となる。

【0127】図17は、図1に示す行選択回路3に含まれるプリデコーダの構成を示す図である。図17において、プリデコーダ30は、アドレス信号ビットRAD<12>またはZ RAD<12>とアドレス信号ビットRAD<11>またはZ RAD<11>を受け、プリデコード信号X<27:24>を生成するAND型プリデコード回路30aと、アドレス信号ビットRAD<10>またはZ RAD<10>とアドレス信号ビットRAD<9>またはZ RAD<9>を受け、プリデコード信号X<23:20>を生成するAND型プリデコード回路30bと、アドレス信号ビットRAD<8>またはZ RAD<8>とアドレス信号ビットRAD<7>またはZ RAD<7>とアドレス信号ビットRAD<6>またはZ RAD<6>を受け、プリデコード信号X<19:12>を生成するAND型プリデコード回路30cと、アドレス信号ビットRAD<5>またはZ RAD<5>とアドレス信号ビットRAD<4>またはZ RAD<4>を受け、プリデコード信号X<11:8>を生成するAND型プリデコード回路30dと、アドレス信号ビットRAD<3>またはZ RAD<3>とアドレス信号ビットRAD<2>またはZ RAD<2>を受け、プリデコード信号X<7:4>を生成するAND型プリデコード回路30eを含む。

【0128】プリデコード信号X<27:24>により、16個のメモリブロックのうち4つのメモリブロックのグループが特定される。プリデコード信号X<23:20>により、1つのメモリブロックグループにおける1つのメモリブロックが指定される。したがって、プリデコード信号X<27:20>により、16個のメモリブロックのうち1つのメモリブロックが指定される。

【0129】プリデコード信号X<19:4>により、1つのメモリブロックにおける4本のワード線のグループが選択される。この構成は、後に詳細に説明するが、メモリブロックはメインワード線とサブワード線の階層構造を有しており、1つのメインワード線により4本のサブワード線が選択される。すなわち、このプリデコード信号X<19:4>により、1つのメインワード線が指定される。

【0130】この図15に示すアドレスバッファ回路においてアドレス信号ビットRAD<12:1>およびZ RAD<12:1>を縮退状態に設定することにより、プリデコード信号X<27:4>がすべて選択状態となり、16個のメモリブロックすべてが選択され、かつすべてのメモリブロックにおいてすべてのメインワード線

27

が選択される。

【0131】図18(A)は、ロウブリデコードのプリデコード信号 $X<3:0>$ を発生する部分の構成を示す図である。図18(A)において、ロウブリデコード30は、テスト制御信号 $\phi 1$ および $\phi 2$ を受けるNAND回路30mと、NAND回路30mの出力信号がHレベルのとき導通し、ロウアドレス信号ビット $ZRAD<0>$ をノードNCに伝達するCMOSトランスミッションゲート30pと、NAND回路30mの出力信号がLレベルのとき導通し、ロウアドレス信号ビット $RAD<0>$ をノードNCに伝達するCMOSトランスミッションゲート30qと、NAND回路30mの出力信号がHレベルのとき導通し、ロウアドレス信号ビット $RAD<0>$ をノードNDに伝達するCMOSトランスミッションゲート30rと、NAND回路30mの出力信号がLレベルのとき導通し、ロウアドレス信号ビット $ZRAD<0>$ をノードNDに伝達するCMOSトランスミッションゲート30sと、ノードNC上の信号とロウアドレス信号ビット $ZRAD<1>$ を受けてプリデコード信号 $X<0>$ を生成するAND型プリデコード回路30fと、ノードND上の信号とアドレス信号ビット $ZRAD<1>$ とを受けてプリデコード信号 $X<1>$ を生成するAND型プリデコード回路30gと、アドレス信号ビット $ZRAD<0>$ および $RAD<1>$ を受けてプリデコード信号 $X<2>$ を生成するAND型プリデコード回路30hと、アドレス信号ビット $ZRAD<0>$ および $RAD<1>$ を受けてプリデコード信号 $X<3>$ を生成するAND型プリデコード回路30iを含む。プリデコード信号 $X<0>-X<3>$ は、それぞれワード線 $WL_n-WL_{n+3}$ を指定する。

【0132】図18(B)は、この図18(A)に示すプリデコードの入出力信号の真理値を示す図である。加速試験時においては、ロウアドレス信号ビット $RAD<0>$ がテスト制御信号 $\phi 1$ に従って生成され、ロウアドレス信号ビット $ZRAD<0>$ が、テスト制御信号 $\phi 0$ に従って生成される。

【0133】テスト制御信号 $\phi 0$ および $\phi 1$ がともにHレベルであり、かつテスト制御信号 $\phi 2$ がLレベルのときには、アドレス信号ビット $RAD<0>$ および $ZRAD<0>$ がともにHレベルとなり、プリデコード信号 $X<0>-X<3>$ がすべて選択状態となる。ここで、図16に示すように、信号ビット $RAD<1>$ および $ZRAD<1>$ は、加速試験時、ともにアドレス制御信号 $\phi 5$ により選択状態となる。

【0134】テスト制御信号 $\phi 0$ がLレベルでありかつテスト制御信号 $\phi 1$ および $\phi 2$ がともにHレベルのときには、アドレス信号ビット $RAD<0>$ がHレベルとなり、プリデコード信号 $X<0>$ および $X<3>$ が選択状態となる。

【0135】テスト制御信号 $\phi 0$ および $\phi 2$ がHレベル

28

であり、テスト制御信号 $\phi 1$ がLレベルのときには、ロウアドレス信号ビット $ZRAD<0>$ がHレベルとなり、CMOSトランスミッションゲート30pおよび30rが導通状態となるため、プリデコード信号 $X<0>$ および $X<2>$ が選択状態へ駆動される。

【0136】テスト制御信号 $\phi 0-\phi 2$ がすべてHレベルのときには、アドレスビットがHレベルとなり、応じてプリデコード信号 $X<0>-X<3>$ がすべて選択状態となる。

【0137】テスト制御信号 $\phi 0$ および $\phi 2$ がLレベルであり、テスト制御信号 $\phi 1$ がHレベルのときには、ロウアドレス信号ビット $RAD<0>$ がHレベルとなり、CMOSトランスミッションゲート30pおよび30rが導通状態となるため、プリデコード信号 $X<1>$ および $X<3>$ が選択状態へ駆動される。

【0138】テスト制御信号 $\phi 0$ がHレベルであり、テスト制御信号 $\phi 1$ および $\phi 2$ がともにLレベルのときには、ロウアドレス信号ビット $ZRAD<0>$ がHレベルとなり、CMOSトランスミッションゲート30pおよび30rが導通状態となるため、プリデコード信号 $X<0>$ および $X<2>$ が選択状態へ駆動される。

【0139】センスアンプ活性化信号SEが活性状態へ駆動されるのは、テスト制御信号 $\phi 0-\phi 3$ がすべてHレベルに設定されたときである。テスト制御信号 $\phi 0-\phi 2$ の状態を設定することにより、選択されるワード線 $WL_n$ が、1本置きのワード線の場合、2本置きのワード線の場合に設定することができ、ワード線間短絡を加速することができる。

【0140】図19は、メモリブロックに対するプリデコード信号の割当を示す図である。メモリアレイにおいては16個のメモリブロック $MB0-MB15$ が設けられる。メモリブロック $MB0-MB3$ がプリデコード信号 $X24$ により指定され、メモリブロック $MB4-MB7$ がプリデコード信号 $X25$ により指定され、メモリブロック $MB8-MB11$ がプリデコード信号 $X26$ により指定される。メモリブロック $MB12-MB15$ が、プリデコード信号 $X27$ により指定される。

【0141】メモリブロック $MB0$ 、 $MB4$ 、 $MB8$ および $MB12$ が、プリデコード信号 $X20$ により指定される。メモリブロック $MB1$ 、 $MB5$ 、 $MB9$ および $MB13$ が、プリデコード信号 $X21$ により指定される。メモリブロック $MB2$ 、 $MB6$ 、 $MB10$ および $MB14$ が、プリデコード信号 $X22$ により指定される。メモリブロック $MB3$ 、 $MB7$ 、 $MB11$ および $MB15$ が、プリデコード信号 $X23$ により指定される。プリデコード信号 $X20-X23$ および $X24-X27$ により、1つのメモリブロックが指定される。

【0142】図20は、メモリブロック $MB0$ および $MB1$ の周辺回路の構成を概略的に示す図である。図20において、メモリブロック $MB0$ は、ビット線対BL

29

0, ZBL0およびBL01, ZBL01を含み、メモリブロックMB1は、ビット線対BL10, ZBL10、およびBL11, ZBL11を含む。

【0143】センスアンプ帯SBA0およびSBA1においては、センスアンプ回路SA(SA0, SA1)が交互に配置される。すなわち、センスアンプ帯SAB0においては、メモリブロックMB0のビット線BL0, ZBL00に対してセンスアンプ回路SA0が設けられ、以降、1つ置きにビット線対に対してセンスアンプ回路が配置される。

【0144】センスアンプ帯SAB1においては、メモリブロックMB0のビット線対BL01, ZBL01およびメモリブロックMB1内のビット線対BL11, ZBL11に対してセンスアンプ回路SA1が設けられる。

【0145】これらのセンスアンプ回路SA0, SA1それぞれに対応して、ビット線プリチャージ/イコライズ回路(ビット線プリチャージ回路)BP/E0およびBP/E1が設けられる。

【0146】センスアンプ回路SA0は、ビット線分離ゲートBG01を介してビット線BL00およびZBL00に結合される。またセンスアンプ回路SA1は、ビット線分離ゲートBG10を介してビット線BL01およびZBL11に結合され、またビット線分離ゲートBG11を介してビット線BL11, ZBL11に結合される。

【0147】ビット線分離ゲートBG00へはビット線分離指示信号BLI0が与えられ、ビット線分離ゲートBG01には、Hレベルに固定されるビット線分離指示信号BLI1が与えられる。ビット線分離ゲートBG10およびBG11に対しては、それぞれビット線分離指示信号BLI2およびBLI3が与えられる。

【0148】ビット線分離指示信号BLI0およびBLI3は、同じ信号である。ビット線分離ゲートBG00が設けられているのは、他のメモリブロックにおけるビット線分離指示信号の負荷と等しくするためである(センスアンプ帯SAB0の外側にはメモリブロックは設けられていない)。

【0149】また、ビット線分離指示信号BLI1がHレベルに固定されるのは、メモリブロックMB0がセンスアンプ帯SAB0に常時結合されるためである。

【0150】これらのセンスアンプ帯のビット線周辺回路の動作を制御するために、行系制御回路が設けられる。

【0151】すなわち、メモリブロックMB0に対して、プリデコード信号X20およびX24を受けるAND型ブロックデコーダ40aおよびプリデコード信号X21およびX24を受けるAND型ブロックデコーダ40bが設けられる。ブロックデコーダ40aおよび40bからは、それぞれメモリブロックMB0およびMB1

30

が選択されたことを示すブロック選択信号BS0およびBS1が出力される。

【0152】センスアンプ帯SAB0に対しては、このブロック選択信号BS0を受けるバッファ回路48と、バッファ回路48の出力信号とインバータ51からの反転ビット線イコライズ制御信号BLEQFを受けてローカルビット線イコライズ指示信号BLEQ0を生成してビット線プリチャージ/イコライズ回路BP/E0へ与えるNAND回路50と、バッファ回路48の出力信号とセンスアンプ活性化信号SEとに従って互いに相補なセンスアンプ駆動信号SN0および/SN0を生成するローカルセンスアンプ駆動回路49が設けられる。

【0153】ビット線分離指示信号BLI0およびBLI3を生成するために、テスト制御信号φ2を受けるインバータ回路46と、ビット線イコライズ制御信号BLEQFを受けるインバータ44と、インバータ44および46の出力信号とブロック選択信号BS0とを受けるNAND回路47が設けられる。このNAND回路47から、ビット線分離指示信号BLI0およびBLI3が出力される。

【0154】センスアンプ帯SAB1に対しては、ブロック選択信号BS0およびBS1を受けるOR回路42と、OR回路42の出力信号とインバータ44の出力信号を受けてローカルビット線イコライズ指示信号BLEQ1を生成してビット線プリチャージ/イコライズ回路BP/E1へ与えるNAND回路45と、センスアンプ活性化信号SEとOR回路42の出力信号とを受けて相補なセンスアンプ駆動信号SN1および/SN1を生成するローカルセンスアンプ駆動回路43が設けられる。

【0155】ビット線分離指示信号BLI2は、メモリブロックMB2に対して設けられたNAND回路47から与えられる。

【0156】通常動作モード時においては、プリデコード信号X20-X27に従って、1つのブロック選択信号BSiが選択状態へ駆動される。今、ブロック選択信号BS0が選択状態のHレベル、ブロック選択信号BS1が非選択状態のLレベルとする。通常動作モード時において、テスト制御信号φ2はLレベルである。内部ロウアドレスストローブ信号RASがHレベルの活性状態となると、ビット線イコライズ指示信号BLEQFがLレベルに立下がり、インバータ回路44の出力信号がHレベルとなる。応じて、NAND回路47の出力するビット線分離指示信号BLI0およびBLI3がLレベルとなり、ビット線分離ゲートBG00およびBG11が非導通状態となる。この状態では、センスアンプ帯SAB1のセンスアンプ回路SA1とメモリブロックMB1の各ビット線とが分離される。一方、ビット線分離指示信号BLI2は、ブロック選択信号BS2がLレベルであるため、Hレベルを維持し、ビット線分離ゲートBG10は導通状態を維持する。したがってメモリブロック



31

MB0のビット線BL01およびZBL01がセンスアンプ回路SA1に接続される。

【0157】ビット線イコライズ指示信号BLEQFがLレベルに立下がると、インバータ44の出力信号がHレベルとなり、またOR回路42がブロック選択信号BS0に従ってHレベルの信号を出力し、NAND回路45からのローカルビット線イコライズ指示信号BLEQ1がLレベルの非活性状態となり、ビット線プリチャージ/イコライズ回路BP/E1が非活性状態となる。また、バッファ回路48の出力信号はHレベルであり、NAND回路50からのビット線イコライズ指示信号BLEQ0がLレベルとなる。したがって選択メモリブロックMB0において、ワード線の選択が実行される。次で、センスアンプ活性化信号SEがHレベルに立上がると、センスアンプ駆動信号SN1および/SN1が、それぞれHレベルおよびLレベルの活性状態へ駆動される（OR回路42の出力信号はHレベル）。

【0158】加速試験時においては、プリデコード信号X20-X27はすべて選択状態へ駆動され、ブロック選択信号BS0-BS15はすべて選択状態へ駆動される。

【0159】テスト制御信号φ2がLレベルのとき、インバータ46の出力信号はHレベルである。しかしながら、加速試験時において、テスト制御信号φ2がLレベルに設定されているとき、ビット線イコライズ指示信号BLEQFは、Hレベルを維持し（図14の波形図参照）、NAND回路47からのビット線分離指示信号BLI1およびBLI3はHレベルに維持される。これは他のビット線分離指示信号においても同様であり、したがって、すべてのセンスアンプ帯においてビット線分離ゲートがすべて導通状態にある。

【0160】一方、ビット線イコライズ指示信号BLEQFがHレベルを維持するため、NAND回路45からのローカルビット線イコライズ指示信号BLEQ1はHレベルであり、またNAND回路50からのローカルビット線イコライズ指示信号BLEQ0もインバータ回路51の出力信号がLレベルであり、Hレベルを維持する。この状態において、ビット線プリチャージ電圧VBLを接地電圧レベルに駆動することにより、各ビット線にLレベルの電圧を伝達することができる。センスアンプ活性化信号SEは、第1のテストモード時、先の図14に示す信号波形図から明らかなように、加速試験時非活性状態に維持されており、他のセンスアンプ駆動信号SN0、/SN0、SN1、/SN1、…は、すべて非活性状態にある。

【0161】第1のテストモード時の動作2において、テスト制御信号φ2をHレベルに設定すると、NAND回路47の出力信号がHレベルとなり、同様、ビット線分離指示信号BLI0-BLI3、…はすべてHレベルにあり、ビット線分離ゲートは導通状態を維持する。こ

32

の状態、プリデコード信号X20-X27をすべて選択状態として、ビット線プリチャージ電圧VBLをHレベルに設定する。この後、各メモリブロックにおいてワード線を選択することにより、ビット線BLに接続されるメモリセルへHレベルデータが書込まれる。この動作時、ビット線イコライズ指示信号BLEQFは、Hレベルにある。

【0162】次の第2のテストモード時の動作3においては、テスト制御信号φ2がHレベルに設定されるため、NAND回路47の出力するビット線分離指示信号BLI0-BLI3、…はすべてHレベルにあり、ビット線分離ゲートはすべて導通状態にあり、各ビット線はセンスアンプ回路に結合される。しかしながら、この動作3の状態においては、テスト制御信号φ0およびφ2がともにHレベルに設定され、ビット線イコライズ指示信号BLEQFがLレベルに立下がる。ブロック選択信号BS0-BS15は、すべて選択状態にあるため、NAND回路50および45が出力するローカルビット線イコライズ指示信号BLEQ0およびBLEQ1が、このビット線イコライズ指示信号BLEQFの立下がりに対応して立下がり、ビット線プリチャージ/イコライズ回路BP/E0、BP/E1が非活性状態となり、各メモリブロックにおいてビット線がすべてフローティング状態となる。

【0163】次に第2のテストモード時の動作4の状態において、テスト制御信号φ1に従って、ワード線選択が行なわれ、次いで動作5においてテスト制御信号φ3に従ってセンスアンプ活性化信号SEが活性化される。ブロック選択信号BS0-BS15はすべて選択状態にあるため、このセンスアンプ活性化信号SEの活性化に従って、ローカルセンスアンプ駆動信号SN0、/SN0、SN1、/SN1、…がすべて活性状態へ駆動され、センス動作が行なわれる。この状態で、センスアンプ回路へ与えられる電源電圧のレベルを上昇させることにより、メモリセルキャパシタ間の電圧ストレスを加速する。

【0164】この図20に示す構成により、テスト制御信号を用いてブロック選択信号BS0-BS15およびビット線イコライズ指示信号BLEQFおよびセンスアンプ活性化信号SEを選択的に活性化することにより、先の動作1から動作5のシーケンスを正確に実現することができる。

【0165】〔メモリブロックの構成〕図21は、1つのメモリブロックMBに関連する部分の構成を概略的に示す図である。メモリブロックMBは、行方向に沿って複数のメモリサブブロックMSBに分割される。図21においては、2つのメモリサブブロックMSB0およびMSB1を代表的に示す。

【0166】メモリブロックMBにおいては、行方向に沿ってメインワード線MWLがメモリサブブロックに共

33

通に配設される。図21において1つのメインワード線MWL0を代表的に示す。1つのメインワード線MWL0に対し、各メモリサブブロックMSB0、MSB1、…において、4本のサブワード線WL0-WL3が配置される。メモリサブブロックMSB0、MSB1、…においては、メモリセルが行列状に配列されており、サブワード線WL0-WL3の各々には、対応のメモリサブブロック内の対応の行のメモリセルが接続される。図21においては、メモリサブブロックMSB0において、1つのビット線対BL、ZBLとワード線WL0-WL3の交差部に対応して配置されるメモリセルを示す。これらのメモリセルは、メモリセルキャパシタC0-C3を含む。メモリセルの各々は、ビット線コンタクトBCTを介してビット線BLまたはZBLに接続される。メモリセルキャパシタC0-C3の各々は、図21においてX印で示すコンタクトを介してアクセストランジスタに接続される。

【0167】図21に示すように、ビット線BLに接続されるメモリセルは、(サブ)ワード線WL0およびWL3にまた接続され、ビット線ZBLに接続されるメモリセルは、(サブ)ワード線WL1およびWL2に接続される。このパターンが行方向および列方向に繰返される。

【0168】ビット線対BLおよびZBLは、ビット線分離ゲートを介してセンスアンプ回路SAに接続されるが、図21においては、このビット線分離ゲートは示していない。

【0169】メインワード線を選択するために、ロウデコーダイネーブル信号RDEとブロック選択信号BS1(1=0-15)を受けてブロック活性化信号を生成するNAND回路60と、NAND回路60からのブロック活性化信号とプリデコード信号Xi(i=4-7)、Xj(j=8-11)、およびXk(k=12-19)を受けるAND型デコード回路61が設けられる。プリデコード信号Xi、XjおよびXkがすべて選択状態のHレベルのとき、ブロック活性化信号に従って、アドレス指定されたメインワード線MWL(MWL0)が選択状態へ駆動される。

【0170】1つのメインワード線MWLにより、メモリブロックMBのメモリサブブロックMSB0、MSB1、…それぞれにおいて4つのサブワード線WL0-WL3の組が選択される。これら4本のサブワード線WL0-WL3から1つのサブワード線WLを選択するために、NAND回路60からのブロック活性化信号とプリデコード信号X0を受けてサブデコード信号SD0を生成するサブプリデコード回路62aと、ブロック活性化信号とプリデコード信号X2を受けてサブデコード信号SD2を生成するサブプリデコード回路62bと、ブロック活性化信号とプリデコード信号X1を受けてサブデコード信号SD1を生成するサブプリデコード回路6

34

2cと、ブロック活性化信号とプリデコード信号X3を受けてサブデコード信号SD3を生成するサブプリデコード回路62dが設けられる。これらのサブプリデコード回路62a-62dからのサブデコード信号SD0-SD3は、メモリブロックMBにわたって行方向に伝達される。

【0171】サブデコード信号SD0-SD3については、メモリサブブロック間の領域において列方向に沿って2つのサブデコード信号SD0およびSD2および2つのサブデコード信号SD1およびSD3の組が交互に伝達される。

【0172】メモリサブブロックMSB0においては、ワード線WL0に対し、メインワード線MWL0上の信号とサブデコード信号SD0を受けるAND型サブワード線ドライブ回路63aが設けられ、サブワード線WL2に対し、メインワード線MWL0上の信号とサブデコード信号SD2を受けるAND型サブワード線ドライブ回路63bが設けられる。

【0173】メモリサブブロックMSB0およびMSB1の間の領域(サブワードドライバ帯)においては、メモリサブブロックMSB0およびMSB1のサブワード線WL1に共通に、メインワード線MWL0上の信号とサブデコード信号SD1を受けるAND型サブワード線ドライブ回路63cが設けられ、またメモリサブブロックMSB0およびMSB1のサブワード線WL3に共通に、メインワード線MWL0上の信号とサブデコード信号SD3を受けるAND型サブワード線ドライブ回路63dが設けられる。

【0174】メモリサブブロックMSB1において、サブワード線WL0に対し、メインワード線MWL0上の信号とサブデコード信号SD0を受けるAND型サブワード線ドライブ回路63eが設けられ、またサブワード線WL2に対し、メインワード線MWL0上の信号とサブデコード信号SD2を受けるAND型サブワード線ドライブ回路63fが設けられる。これらのサブワード線ドライブ回路63eおよび63fは、サブワード線ドライブ回路63cおよび63dと対向して配置される。サブワード線ドライブ回路63eおよび63fは、また図示しないメモリサブブロック(MSB2)のサブワード線WL0およびWL2を駆動する。

【0175】メモリサブブロックMSBの行方向についての両側にサブワード線ドライブ回路を交互に配置することにより、サブワード線ドライブ回路のピッチ条件を緩和する。

【0176】この図21に示すメモリブロック構成において、通常動作モード時においては、ブロック選択信号BS1とプリデコード信号Xi、XjおよびXkとに従って1つのメインワード線MWLが選択状態へ駆動される。また、プリデコード信号X0-X3の1つが選択状態へ駆動され、サブデコード信号SD0-SD3の1つ

35

が選択状態へ駆動される。これにより、メモリブロックMBにおいては、各メモリサブブロックMSBにおいて1つのサブワード線が選択状態へ駆動される。

【0177】加速試験時において、ブロック選択信号BS1は、すべてのブロックに対して、選択状態へ駆動される。また、プリデコード信号Xi、XjおよびXkもすべて選択状態へ駆動され、全ブロックにおいて、メインワード線MWLが同時に選択状態へ駆動される。テスト制御信号φ1-φ2に従って、加速試験の最初の動作1においては、プリデコード信号X0-X3がすべて選  
10 択状態へ駆動される。したがって、サブデコード信号SD0-SD3がすべて選択状態へ駆動され、サブワード線WL0-WL3がすべて選択される。すなわち全メモリセルが選択される。この状態で、ビット線BLおよびZBLにLレベルの電圧を伝達する。

【0178】加速試験時の動作2においては、プリデコード信号Xi、XjおよびXkがすべて選択状態へ駆動され、またブロック選択信号BS1もすべて選択状態へ駆動される。テスト制御信号φ0-φ2に従って、プリ  
20 デコード信号X0およびX3が選択状態へ駆動され、応じてサブデコード信号SD0およびSD3が選択状態へ駆動される。したがって、メモリサブブロックMSB0、MSB1、…において、サブワード線WL0およびWL3が選択状態へ駆動され、このビット線BLに接続されるメモリセルに対し、Hレベルのデータが書込まれる。

【0179】この動作2の状態において、サブワード線WL1は非選択状態のLレベルであり、一方、サブワード線WL3は選択状態のHレベルにある。したがって、この状態において、ワード線上に伝達される電圧レベル  
30 を上昇させることにより、サブワード線WL1およびWL3の間の異物による潜在的な短絡を加速して、この短絡故障を顕在化させることができる。これは、サブワード線WL0およびWL1の間およびサブワード線WL2およびWL3の間の潜在的な短絡故障についても同様である。したがって、このテスト制御信号を使用することにより、サブワード線間の短絡故障に対する加速試験を併せて実行することができる。

【0180】動作3においては、テスト制御信号φ0-φ2に従って、プリデコード信号X0およびX2が選  
40 択され、また残りのプリデコード信号Xi、XjおよびXkおよびブロック選択信号BS1はすべて選択状態へ駆動される。しかしながら、図14の信号波形図に示すように、ロウデコーダイネーブル信号RDEは非活性状態であり、行選択動作は行なわれず、メモリサブブロックはプリチャージ状態にあり、ビット線BLおよびZBLがフローティング状態となる。

【0181】動作4において再びテスト制御信号φ0-φ2に従ってプリデコード信号X0-X3がすべて選  
50 択状態へ駆動されてサブデコード信号SD0-SD3が応

36

じてすべて選択状態へ駆動される。したがってサブワード線WL0-WL3がすべて選択状態へ駆動され、ビット線BLおよびZBL上のHレベルおよびLレベルデータがセンスアンプ回路SAによりラッチされる（動作5において）。隣接メモリキャパシタC0およびC1の間の層間絶縁膜および隣接メモリセルキャパシタC2およびC3の間の層間絶縁膜に対する電圧ストレス加速を、センスアンプ回路SAの電源電圧を上昇させることにより行なうことができる。

【0182】この隣接メモリセルキャパシタ間の層間絶縁膜に対する電圧ストレスの加速に代えて、以下の加速試験も行なうことができる。テスト制御信号に従って、プリデコード信号X1およびX3またはX0およびX2  
10 を選択状態に設定することにより、サブワード線WL0およびWL2またはサブワード線WL1およびWL3が選択される。選択状態のサブワード線の間に非選択状態のサブワード線が存在する。したがって、この場合においては、隣接サブワード線間の短絡故障を加速し、潜在的な短絡故障を顕在化させることができ、サブワード線間短絡故障のスクリーニングを行なうことができる。

【0183】したがって、テスト制御信号φ0-φ3により、隣接メモリセルキャパシタに電圧ストレスを印加する加速試験を行なうことができ、また、ワード線電圧の加速試験を行なうことができる（動作1においてワード線電圧加速を行なえば、すべてのサブワード線が選択状態にあり、全メモリセルトランジスタのゲート絶縁膜の電圧ストレスを加速することができる。）

〔加速電圧発生部の構成〕図22は、図1に示すセンスアンプ電源回路6およびVBL発生回路5の構成を概略的に示す図である。図22において、センスアンプ電源回路6は、テストモード指示信号TEの反転信号ZTEの非活性化時動作し、外部電源電圧VEXを降圧して  
20 センス電源電圧Vccsを生成する内部降圧回路6aと、補のテストモード指示信号ZTEが活性状態（Lレベル）のとき導通し、外部電源電圧Vexをセンス電源線に伝達するpチャネルMOSトランジスタで構成されるトランスファークロップ6bを含む。内部降圧回路6aは、センス電源電圧Vccsを基準電圧と比較し、その比較結果に従って外部電源ノードからセンス電源線へ電流を供給する構成を備える。補のテストモード指示信号ZTEが活性状態のLレベルとなると、比較動作が停止され、また電流ドライブトランジスタもオフ状態に駆動される。

【0184】VBL発生回路5は、補のテストモード指示信号ZTEの活性化時動作し、センス電源電圧Vccsから中間電圧Vccs/2の電圧を生成してビット線プリチャージ電圧VBLとして出力する中間電圧発生回路5aと、テストモード指示信号TEおよびZTEの活性化時導通し、パッド70に与えられた電圧をビット線プリチャージ電圧VBLとして伝達するCMOSトラン

37

スミッションゲート 5b を含む。

【0185】中間電圧発生回路 5a は、補のテストモード指示信号 ZTE が活性状態のとき、出力ハイインピーダンス状態とされ、かつその中間電圧発生動作が停止される。パッド 70 は、ウェハレベルでのバーンイン試験時においては、適当なパッドであればよい。またパッケージ実装後のバーンイン試験時においては、このパッド 70 は、バーンイン試験時未使用となるピン端子に接続されたパッドであり、外部から、この空き状態のピン端子を介してビット線プリチャージ電圧が印加される。

【0186】中間電圧発生回路 5a が、その電圧発生動作停止時、出力ハイインピーダンス状態とならない構成の場合には、中間電圧発生回路 5a の出力部に、CMOSTransミッションゲート 5b と相補的に導通する CMOSTransミッションゲートが設けられればよい。ここで、CMOSTransミッションゲート 5b を利用しているのは、ビット線プリチャージ電圧 VBL として、接地電圧および電源電圧 Vcc (センス電源電圧と等しくなくてもよい) 両者を伝達する必要があるためである。

【0187】この図 22 に示す構成を利用することにより、バーンイン試験などの加速試験時においてテストモード指示信号 ZTE および TE に従ってセンス電源電圧 Vcc の電圧レベルを変更し、かつビット線プリチャージ電圧 VBL を所望の電圧レベルに設定することができる。

【0188】図 23 は、選択ワード線上に伝達される高電圧 Vpp を発生する回路の構成を概略的に示す図である。図 23 において、ワード線駆動電圧発生部は、テストモード指示信号 TE の非活性化時動作し、外部電源電圧 Vex から高電圧 Vpp を生成する高電圧発生回路 72a と、テストモード指示信号 ZTE の活性化時導通し、外部電源電圧 Vex を昇圧電圧として伝達する p チャンネル MOS トランジスタで構成されるトランスファゲート 72b を含む。この高電圧 Vpp が、行選択回路へ与えられ、選択ワード線 (サブワード線) の H レベルが高電圧 Vpp レベルに設定される。したがって、この加速試験時において、高電圧 Vpp として外部電源電圧 Vex を伝達することにより、ワード線およびメモリセルキャパシタ間の電圧ストレスの加速を行なうことができる。なお、センスアンプ電源回路 6 へ与えられる外部電源電圧 Vex と高電圧発生回路 72a へ与えられる外部電源電圧は、同じ電圧であってもよく、また別の電圧であってもよい。

【0189】高電圧発生回路 72a は、たとえばキャパシタのチャージポンプ動作を利用するチャージポンプ回路で構成され、テストモード指示信号 TE が活性状態となると、このチャージポンプ動作が停止される。通常、高電圧発生回路 72a は、その出力部に、高電圧 Vpp の電圧レベルを一定にするクランプ回路が設けられてい

38

る。高電圧発生回路 72a は、このテストモード指示信号 TE の活性化時クランプ回路を非導通状態に設定し、かつ出力ハイインピーダンス状態に設定される。また、これに代えて、高電圧発生回路 72a は、単にその出力部に、テストモード指示信号 TE (および/または ZTE) に応答して選択的に導通する出力ハイインピーダンス設定用の選択ゲート (トランスファゲートまたはトランスミッションゲート) を備えていてもよい。

【0190】図 24 は、ビット線 BL および ZBL の周辺回路の構成を示す図である。図 24 においては、ビット線分離ゲートは示していない。センスアンプ回路 SA は、ゲートおよびドレインが交差結合される p チャンネル MOS トランジスタ Q2 および Q3 と、ゲートおよびドレインが交差結合される n チャンネル MOS トランジスタ Q4 および Q5 と、センスアンプ活性化信号 /SON の活性化時導通し、センス電源電圧 Vccs を MOS トランジスタ Q2 および Q3 のソースノードへ伝達するセンスドライブトランジスタ Q1 と、センスアンプ活性化信号 SON の活性化時導通し、MOS トランジスタ Q4 および Q5 のソースへ接地電圧 Vss を伝達するセンスアンプドライブトランジスタ Q6 を含む。

【0191】ビット線プリチャージ/イコライズ回路 BP/E は、ビット線イコライズ指示信号 BLEQ に応答して導通する MOS トランジスタ Q7-Q9 を含む。MOS トランジスタ Q7 および Q8 が導通時、ビット線プリチャージ電圧 VBL をビット線 BL および ZBL へ伝達する。

【0192】したがって、ビット線プリチャージ VBL を電圧レベルを変化させることにより、ビット線プリチャージ/イコライズ回路 BP/E を介してビット線 BL および ZBL の電圧レベルを変化させることができる。センスアンプ動作時においては、センス電源電圧 Vccs の電圧レベルを変更することにより、ビット線 BL および ZBL のうち H レベルのビット線電圧レベルを変更することができる。

【0193】[他の構成例] 動作 1 および動作 2 において、まず L レベルのデータを全メモリセルに書込んだ後に、ビット線 BL に接続されるメモリセルに H レベルのデータを書込んでいる。逆に、H レベルのデータを全メモリセルに書込んだ後に、L レベルのデータをビット線 BL または ZBL に接続されるメモリセルに書込む動作が行なわれてもよい。

【0194】ビット線 BL に接続されるメモリセルが記憶するデータとビット線 ZBL に接続するメモリセルが記憶するデータの論理レベルが異なっていればよい。

【0195】また、半導体記憶装置としては、標準 DRAM、ロジック混載 DRAM およびクロック同期型 DRAM のいずれであってもよい。

【0196】加速試験としては、バーンイン試験の他に寿命試験であってもよい。

## 【0197】

【発明の効果】以上のように、この発明に従えば、少数の制御信号を用いて内部ロウアドレスの設定および内部動作制御信号の発生を行なうように構成しているため、外部からアドレス信号を印加する必要がなく、テストのピン数を低減することができ、かつ高速で加速試験を行なうことができる。

【0198】すなわち、請求項1に係る発明に従えば、第1のテストモード動作時ビット線プリチャージ回路を活性化しかつ複数のワード線のうち第1の所定数のワード線を同時に選択状態へ駆動しかつ第2のテストモード動作時には複数のビット線プリチャージ回路を非活性化しかつ複数のワード線の第2の所定数のワード線を同時に選択状態へ駆動しかつセンスアンプ回路を活性化しているため、所望のデータを各メモリセルへ書き込み、メモリセルキャパシタ間の電圧ストレス加速を容易に行なうことができる。

【0199】請求項2に係る発明に従えば、第1のテストモード動作時には、第1のビット線に接続されるメモリセルが接続するワード線を選択状態へ駆動しており、第1および第2のビット線に接続するメモリセルにそれぞれ互いに論理レベルの異なるデータを書込むことができる。

【0200】請求項3に係る発明に従えば、ビット線へ伝達される基準電圧レベルを第1の論理レベルに設定しており、外部からの列アクセスを行なうことなく、選択メモリセルへ第1の論理レベルのデータを書込むことができる。

【0201】請求項4に係る発明に従えば、第1のテストモード動作時に、先に、ワード線をすべて同時に選択しかつビット線上の電圧を第2の論理レベルの電圧に設定しており、すべてのメモリセルに、容易に同一論理レベルのデータを列アクセスを行なうことなく書込むことができ、第1のテストモード信号に従った動作時、確実に、相補ビット線に接続されるメモリセルに論理レベルの異なるデータを容易に書込むことができる。

【0202】請求項5に係る発明に従えば、第2のテストモード動作時、すべてのワード線を選択しており、容易にすべてのメモリセルのキャパシタ間の電圧ストレスを加速することができ、バーンイン試験時間を短縮することができる。

【0203】請求項6に係る発明に従えば、第2のテストモード時、物理的に1本おきに配置されたワード線を同時に選択状態へ駆動しており、ワード線間短絡故障を検出することができる。

【0204】請求項7に係る発明に従えば、シェアードセンスアンプ構成において、第1のテストモード時ビット線プリチャージ回路を活性化し、かつビット線論理回路を非活性状態とし、ワード線を各メモリブロックにおいて所定数のワード線を選択して第2のテストモード動

作時、ビット線プリチャージ回路を非活性状態とし、かつ複数のワード線を同時に選択して、複数のセンスアンプ回路を活性化しかつビット線分離回路を非活性状態としており、容易に、シェアードセンスアンプ構成の記憶装置においても、メモリセルキャパシタ間の電圧ストレスを加速することができる。また、複数行のメモリセルの電圧ストレス加速を同時に行なうため、バーンイン試験時間を短縮することができる。

【0205】請求項8に係る発明に従えば、第1のテストモード動作時、第1のビット線に接続するメモリセルが接続する第1のワード線を選択状態へ駆動しており、シェアードセンスアンプ構成においても、各メモリブロックにおいて第1のビット線に接続されるメモリセルに対し列アクセスを行なうことなく同一論理レベルのデータを書込むことができる。

【0206】請求項9に係る発明に従えば、第1のテストモード動作時第1のテスト指示信号に従ってビット線電圧を第1の論理レベルに設定しており、活性状態のビット線プリチャージ回路を介してビット線上の電圧レベルを所望の電圧レベルに設定することができ、応じてメモリセルに対し所望の論理レベルのデータを書込むことができる。

【0207】請求項10に係る発明に従えば、請求項9の動作の前に、複数のワード線を同時にすべて選択し、ビット線プリチャージ回路を介してビット線の電圧を第2の論理レベルに設定しており、各メモリブロックにおいて容易に第1および第2のビット線に接続されるメモリセルに異なる論理レベルのデータを書込むことができる。

【0208】請求項11に係る発明に従えば、第2のテストモード動作時すべてのワード線を選択状態へ駆動しており、シェアードセンスアンプ構成においても、すべてのメモリセルの加速試験を同時に行なうことができる。

【0209】請求項12に係る発明に従えば、第2のテストモード動作時、物理的に1本おきのワード線を選択状態へ駆動しており、各メモリブロックにおいて、ワード線間短絡を容易に検出することができる。

【0210】請求項13に係る発明に従えば、テスト制御回路は、外部からの複数の制御信号に従って複数の内部動作制御信号の活性化タイミングを決定しており、これらの内部動作制御信号が行系回路の動作タイミングを決定しており、容易に加速試験モード時外部制御信号に従って行選択動作を実行することができ、アドレス指定を行なう必要がなく、制御信号の数を低減することができる。

【0211】請求項14に係る発明に従えば、外部からの複数の制御信号に従ってテスト制御回路がワード線を特定する内部アドレス信号を生成しており、容易に外部からアドレス指定を行なうことなく少数の制御信号で内

41

部アドレス信号を生成することができ、テストがアドレス信号を生成する必要がなく、テストのピン数が低減される。

【0212】請求項15に係る発明に従えば、シェアードセンスアンプ構成において複数のメモリブロックすべてを同時に選択状態へ駆動しており、メモリブロックすべてにおいて同時に加速試験を行なうことができ、加速試験時間を短縮することができる。

【図面の簡単な説明】

【図1】 この発明に従う半導体記憶装置の全体の構成を概略的に示す図である。

【図2】 テストモード指示信号発生部の構成を概略的に示す図である。

【図3】 テストモード指示信号発生部の他の構成を概略的に示す図である。

【図4】 図1に示すテスト信号発生回路の構成を示す図である。

【図5】 図1に示すテスト制御機能付行系制御回路の概略構成を示す図である。

【図6】 図1に示すメモリセルアレイの構成を概略的に示す図である。

【図7】 この発明の実施の形態における動作1の状態を概略的に示す図である。

【図8】 この発明の実施の形態における動作2の状態を概略的に示す図である。

【図9】 この発明の実施の形態における動作3の状態を概略的に示す図である。

【図10】 この発明の実施の形態における動作4の状態を概略的に示す図である。

【図11】 この発明の実施の形態における動作5の状態を概略的に示す図である。

【図12】 この発明の実施の形態における動作5の状態におけるメモリセルキャパシタの記憶データを示す図である。

【図13】 図1に示すテスト制御機能付行系制御回路の詳細構成を示す図である。

【図14】 図13に示すテスト制御機能付行系制御回路の動作を示すタイミングチャート図である。

【図15】 図1に示すアドレスバッファの構成を示す図である。

【図16】 図1に示すアドレスバッファの構成を示す図である。

【図17】 図1に示す行選択回路に含まれるプリデコーダの構成を示す図である。

【図18】 (A)は、図1に示す行選択回路のプリデコーダの残りの部分の構成を示し、(B)は、(A)に示すプリデコーダの入出力真理値を示す図である。

【図19】 メモリブロックとプリデコード信号との対

42

応関係を示す図である。

【図20】 この発明に従う半導体記憶装置のセンスアンプ帯およびセンスアンプ帯制御回路の構成を示す図である。

【図21】 この発明に従う半導体記憶装置のメモリブロックの構成を概略的に示す図である。

【図22】 図1に示すVBL発生回路およびセンスアンプ電源回路の構成を概略的に示す図である。

【図23】 高電圧発生部の構成を概略的に示す図である。

【図24】 この発明に従う半導体記憶装置におけるビット線周辺回路の構成を示す図である。

【図25】 従来の半導体記憶装置の行選択回路の構成を示す図である。

【図26】 図25に示す行選択回路の動作を示す信号波形図である。

【図27】 従来の半導体記憶装置のビット線周辺回路の構成を概略的に示す図である。

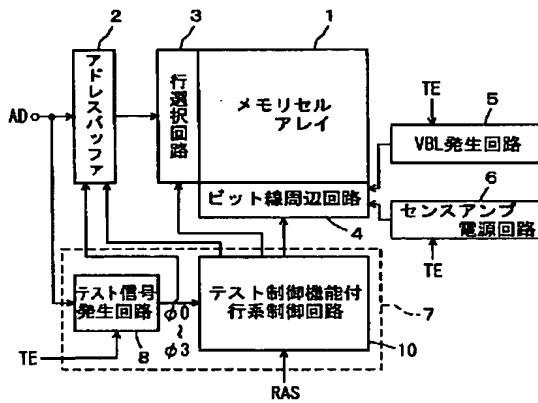
【図28】 図27に示すビット線周辺回路の動作を示す信号波形図である。

【図29】 (A)は、従来の半導体記憶装置のメモリセルのレイアウトを概略的に示す図であり、(B)は、メモリセルの断面構成を概略的に示す図である。

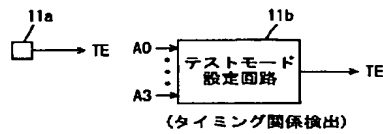
【符号の説明】

1 メモリセルアレイ、2 アドレスバッファ、3 行選択回路、4 ビット線周辺回路、5 VBL発生回路、6 センスアンプ電源回路、7 テスト制御回路、8 テスト信号発生回路、10 テスト制御機能付行系制御回路、11aパッド、11b テストモード設定回路、10a アドレス制御信号発生部、10b アドレスイネーブル信号発生部、10c ビット線イコライズ信号発生部、10d ロウデコーダイネーブル信号発生部、10e センスアンプ活性化信号発生部、SAB0-SAB16 センスアンプ帯、MB0-MB15 メモリブロック、BIGL ビット線分離回路、BPC ビット線プリチャージ回路、SAG センスアンプ群、BIGR ビット線分離回路、MC、MCe、MCo メモリセル、BP/E ビット線プリチャージ/イコライズ回路、SA センスアンプ回路、Cm メモリセルキャパシタ、BG00、BG10、BG11、BG01 ビット線分離ゲート、SA0、SA1 センスアンプ回路、BP/E0、BP/E1 ビット線プリチャージ/イコライズ回路、30 プリデコーダ、40a、40b ブロックデコーダ、42 OR回路、43、49 ローカルセンスアンプ駆動回路、47、50 NAND回路、44、46、51 インバータ回路、60 ローカルブロックデコーダ、61 ロウデコーダ回路、62a-62d プリデコーダ。

【図 1】

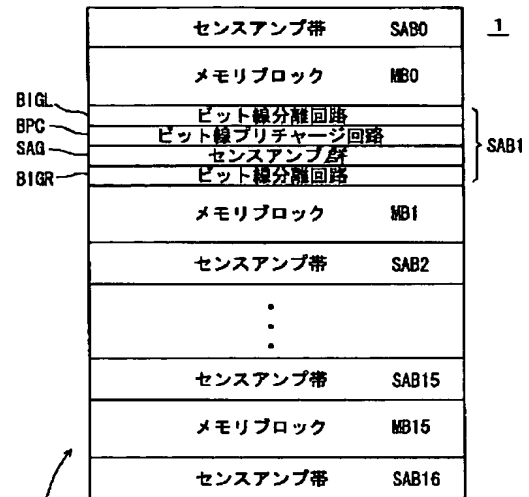


【図 2】

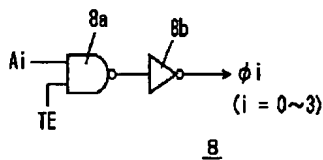


【図 3】

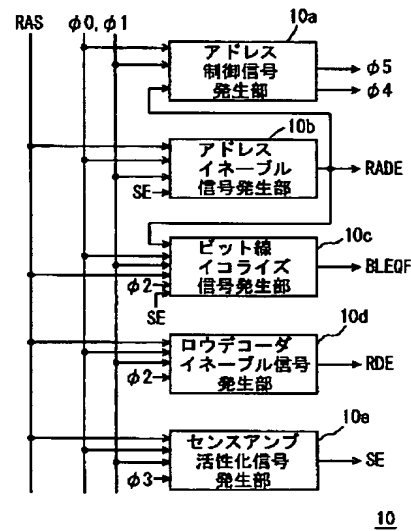
【図 6】



【図 4】

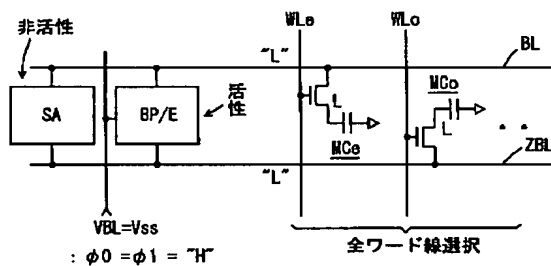


【図 5】

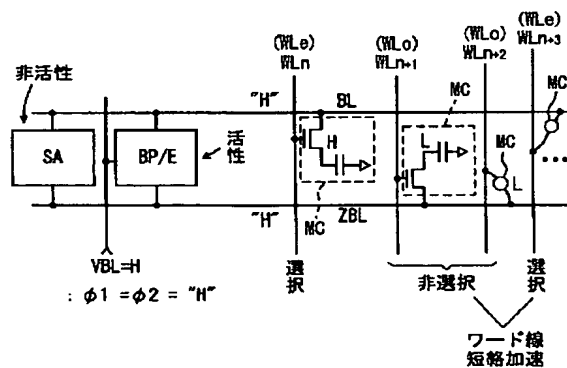


10

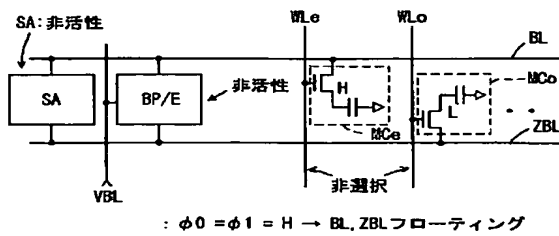
【図 7】



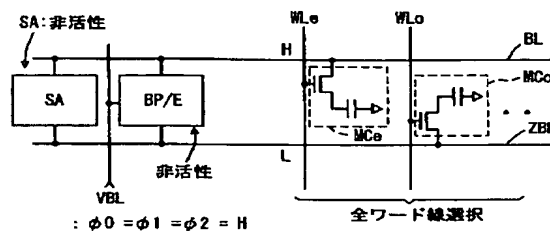
【図 8】



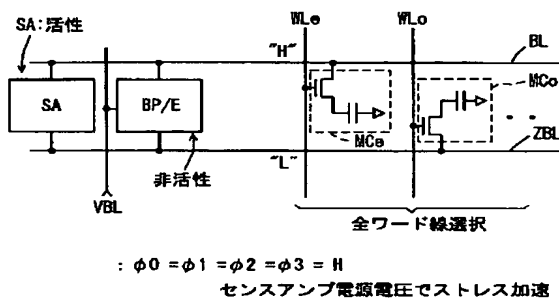
【図9】



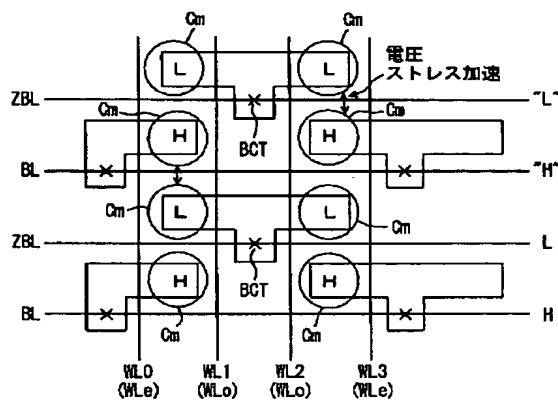
【図10】



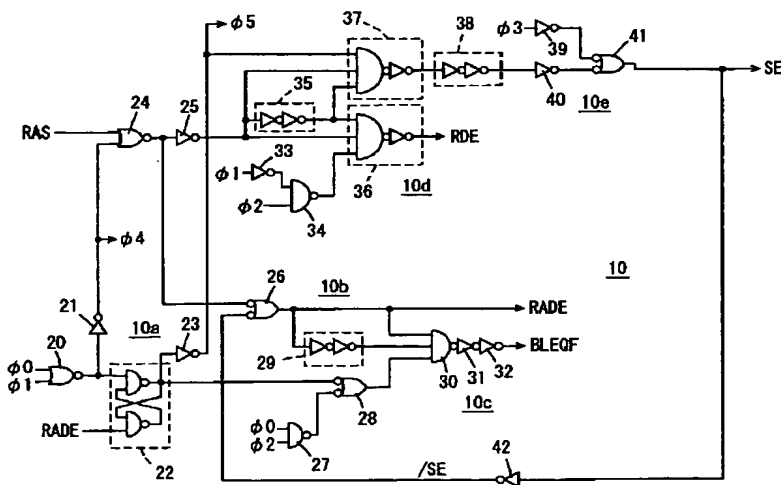
【図11】



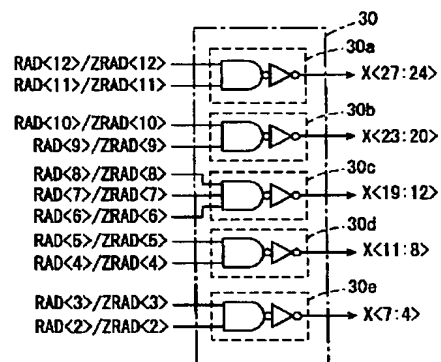
【図12】



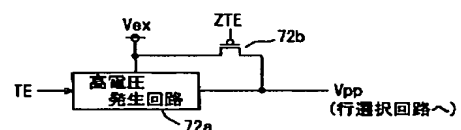
【図13】



【図17】

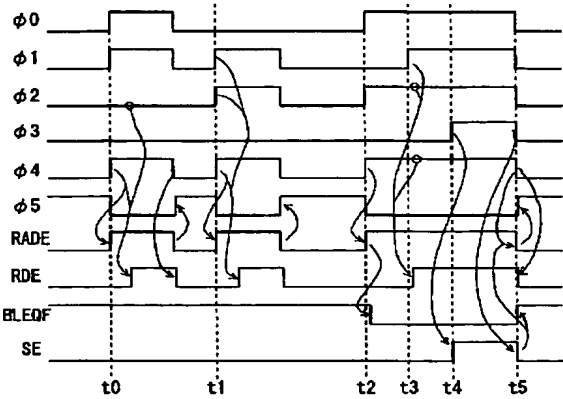


【図23】

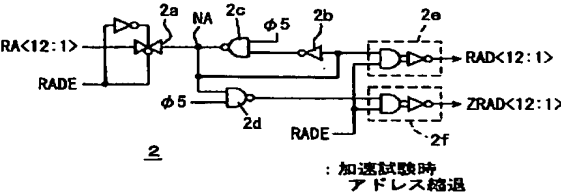




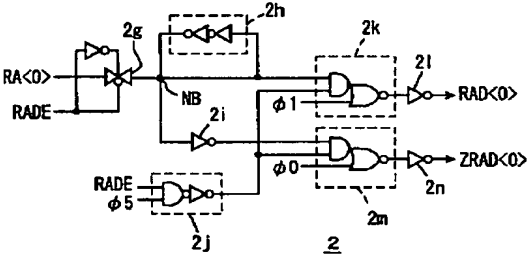
【図 14】



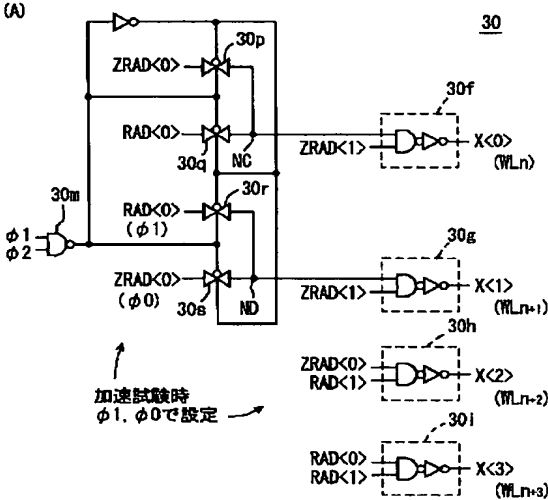
【図 15】



【図 16】



【図 18】



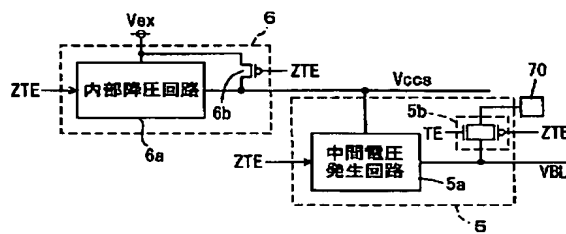
【図 19】

X20	メモリブロック	MB0	}	X24
X21	メモリブロック	MB1		
X22	メモリブロック	MB2		
X23	メモリブロック	MB3		
X20	メモリブロック	MB4	}	X25
X21	メモリブロック	MB5		
X22	メモリブロック	MB6		
X23	メモリブロック	MB7		
X20	メモリブロック	MB8	}	X26
X21	メモリブロック	MB9		
X22	メモリブロック	MB10		
X23	メモリブロック	MB11		
X20	メモリブロック	MB12	}	X27
X21	メモリブロック	MB13		
X22	メモリブロック	MB14		
X23	メモリブロック	MB15		

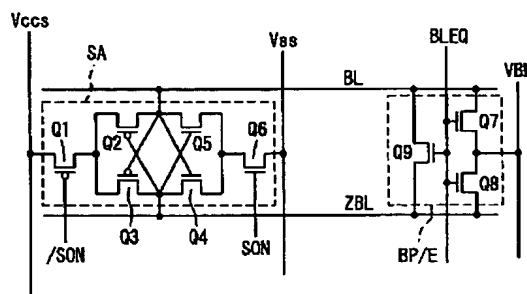
(B)

動作	phi0	phi1	phi2	選択プリデコード信号
1	H	H	L	X<0> ~ X<3>
2	L	H	H	X<0>, X<3>
3	H	L	H	X<0>, X<2>
4, 5	H	H	H	X<0> - X<3>
	L	H	L	X<1>, X<3>
	H	L	L	X<0>, X<2>

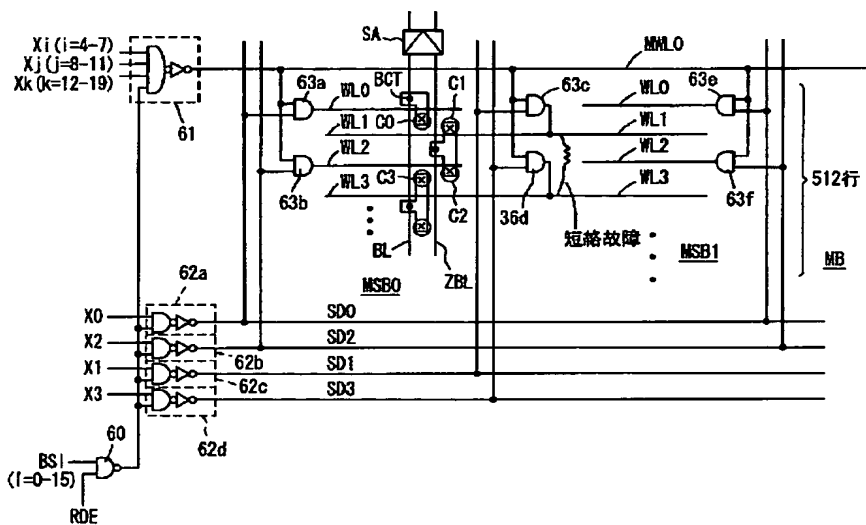
【图 2 2】



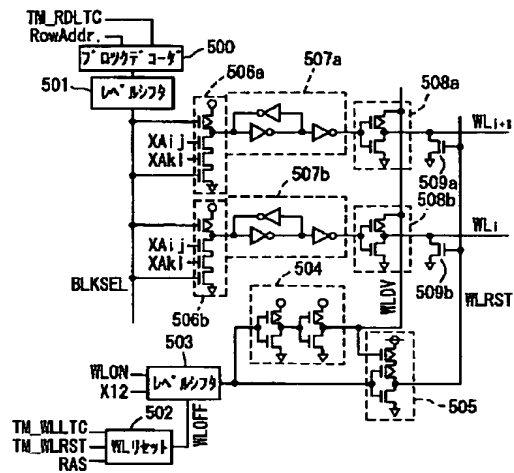
【図 24】



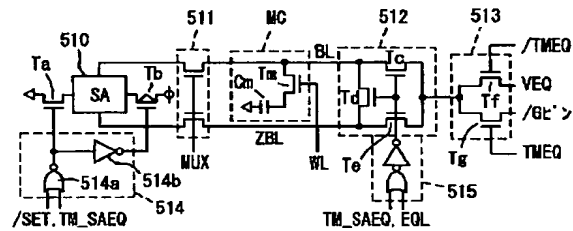
【図 2 1】



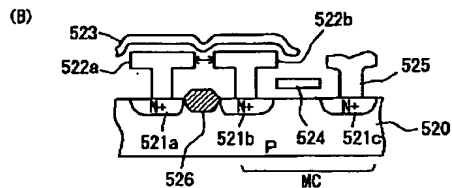
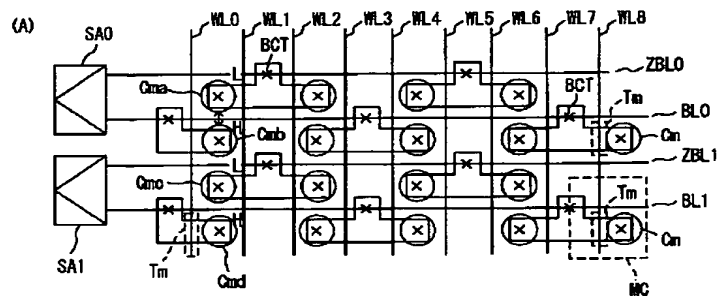
【図25】



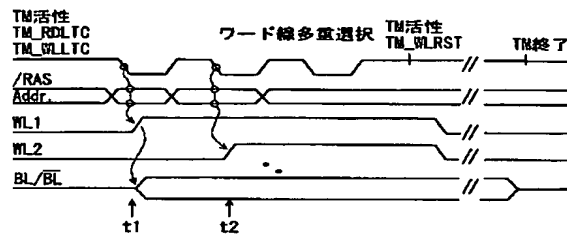
【図27】



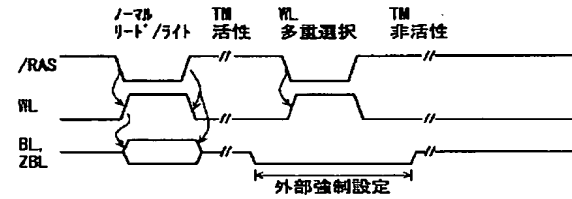
【図29】



【図26】



【図28】



フロントページの続き

(72) 発明者 加藤 哲夫  
東京都千代田区丸の内二丁目 2 番 3 号 三  
菱電機株式会社内

F ターム (参考) 5B024 AA15 BA07 BA10 BA13 BA15  
BA17 BA18 BA21 BA25 BA29  
CA07 CA16 CA27 EA02 EA03  
EA04  
5L106 AA01 DD04 DD06 DD11 DD22  
DD23 DD36 EE02